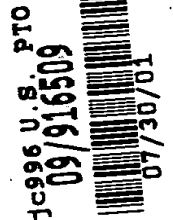


日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 7月31日

出 願 番 号

Application Number:

特願2000-232165

出 願 人

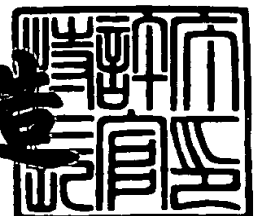
Applicant(s):

株式会社東芝

2001年 5月30日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3047437

【書類名】 特許願

【整理番号】 A000003272

【提出日】 平成12年 7月31日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/08

【発明の名称】 半導体装置およびその製造方法

【請求項の数】 37

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

【氏名】 稗田 克彦

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 基板上に形成された凸状半導体層と、
前記凸状半導体層の上部に、この凸状半導体層の上面と並行な方向に沿って互いに離間して形成されたソース領域およびドレイン領域と、

前記ソース領域と前記ドレイン領域間の前記凸状半導体層内に規定されたチャネル領域と、

少なくとも前記凸状半導体層の互いに相対する 2 つの側面に沿って前記凸状半導体層と絶縁された状態で形成され、少なくとも前記凸状半導体層の互いに相対する側面を介して、前記チャネル領域に電界効果を及ぼすゲート電極とを具備し

、
前記凸状半導体層の互いに相対する側面において、前記ソース領域と前記ドレイン領域間の距離が変化していることを特徴とする半導体装置。

【請求項 2】 前記ソース領域と前記ドレイン領域間の距離は、前記凸状半導体層の上部よりも、前記凸状半導体層の下部の方が長いことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記ソース領域の不純物濃度および前記ドレイン領域の不純物濃度は、前記凸状半導体層の上部よりも、前記凸状半導体層の下部の方が低いことを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 前記凸状半導体層の下部周辺領域に形成された素子分離絶縁膜を、さらに具備することを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 前記ゲート電極は、前記凸状半導体層の互いに相対する 2 つの側面に沿って前記ソース領域および前記ドレイン領域より下の領域まで形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 6】 前記基板から前記凸状半導体層の互いに相対する 2 つの側面の一方から他方までの幅は、 $0.2\mu\text{m}$ より小さいことを特徴とする請求項 1 記載の半導体装置。

【請求項 7】 前記凸状半導体層の互いに相対する 2 つの側面の一方から他

方までの幅は、前記ソース領域の深さおよび前記ドレイン領域の深さより小さいことを特徴とする請求項 1 記載の半導体装置。

【請求項 8】 前記ゲートに動作電圧が印加されているとき、前記チャネル領域は、完全に空乏化することを特徴とする請求項 1 記載の半導体装置。

【請求項 9】 前記凸状半導体層の互いに相対する 2 つの側面それぞれと前記ゲート電極との間に形成された第 1 ゲート絶縁膜と、

前記凸状半導体層の上面と前記ゲート電極との間に形成された、前記第 1 ゲート絶縁膜より厚い第 2 ゲート絶縁膜とを、さらに具備することを特徴とする請求項 1 記載の半導体装置。

【請求項 10】 前記凸状半導体層の互いに相対する 2 つの側面それぞれと前記ゲート電極との間に形成された第 1 ゲート絶縁膜と、

前記凸状半導体層の上面と前記ゲート電極との間に形成された、前記第 1 ゲート絶縁膜より薄い第 2 ゲート絶縁膜とを、さらに具備することを特徴とする請求項 1 記載の半導体装置。

【請求項 11】 前記ソース領域および前記ドレイン領域の少なくとも一つは、濃い不純物濃度を持つ高濃度拡散層と、前記高濃度拡散層よりも薄い不純物濃度を持つ低濃度拡散層との 2 種類の拡散層を少なくとも含んで構成されることを特徴とする請求項 1 記載の半導体装置。

【請求項 12】 前記基板上に形成された、少なくとも 1 つの第 2 凸状半導体層と、

前記第 2 凸状半導体層の上部に、この第 2 凸状半導体層の上面と並行な方向に沿って互いに離間して形成された前記ソース領域とは異なる導電型を持つ第 2 ソース領域、および前記ドレイン領域とは異なる導電型を持つ第 2 ドレイン領域と、

前記第 2 ソース領域と前記第 2 ドレイン領域間の前記第 2 凸状半導体層内に規定された第 2 チャネル領域と、

少なくとも前記第 2 凸状半導体層の互いに相対する 2 つの側面に沿って前記第 2 凸状半導体層と絶縁された状態で形成され、少なくとも前記第 2 凸状半導体層の互いに相対する側面を介して、前記第 2 チャネル領域に電界効果を及ぼす第 2

ゲート電極と、

をさらに具備し、

前記第 2 ソース領域の深さは前記ソース領域の深さと異なり、前記第 2 ドレイン領域の深さは前記ドレイン領域の深さと異なることを特徴とする請求項 1 記載の半導体装置。

【請求項 1 3】 前記基板上に形成された、少なくとも 1 つの第 2 凸状半導体層と、

前記第 2 凸状半導体層の上部に、この第 2 凸状半導体層の上面と並行な方向に沿って互いに離間して形成された前記ソース領域と同じ導電型を持つ第 2 ソース領域、および前記ドレイン領域と同じ導電型を持つ第 2 ドレイン領域と、

前記第 2 ソース領域と前記第 2 ドレイン領域間の前記第 2 凸状半導体層内に規定された第 2 チャネル領域と、

少なくとも前記第 2 凸状半導体層の互いに相対する 2 つの側面に沿って前記第 2 凸状半導体層と絶縁された状態で形成され、少なくとも前記第 2 凸状半導体層の互いに相対する側面を介して、前記第 2 チャネル領域に電界効果を及ぼす第 2 ゲート電極と、

をさらに具備し、

前記第 2 ソース領域の深さは前記ソース領域の深さと異なり、前記第 2 ドレイン領域の深さは前記ドレイン領域の深さと異なることを特徴とする請求項 1 記載の半導体装置。

【請求項 1 4】 前記基板上に形成された、少なくとも 1 つの第 2 凸状半導体層と、

前記第 2 凸状半導体層の上部に、この第 2 凸状半導体層の上面と並行な方向に沿って互いに離間して形成された前記第 2 ソース領域および第 2 ドレイン領域と、

前記第 2 ソース領域と前記第 2 ドレイン領域間の前記第 2 凸状半導体層内に規定された第 2 チャネル領域と、

少なくとも前記第 2 凸状半導体層の互いに相対する 2 つの側面に沿って前記第 2 凸状半導体層と絶縁された状態で形成され、少なくとも前記第 2 凸状半導体層

の互いに相対する側面を介して、前記第 2 チャネル領域に電界効果を及ぼす第 2 ゲート電極と、をさらに具備し、

前記第 2 ソース領域を前記ソース領域に電氣的に接続し、前記第 2 ドレイン領域を前記ドレイン領域に電氣的に接続し、前記第 2 ゲート電極を前記ゲート電極に電氣的に接続したことを特徴とする請求項 1 記載の半導体装置。

【請求項 1 5】 前記ソース領域および前記ドレイン領域はそれぞれ、電氣的コンタクト部を含み、

前記電氣的コンタクト部は、前記凸状半導体層の上面の一部、および前記凸状半導体層の互いに相対する 2 つの側面の一部それぞれに跨っていることを特徴とする請求項 1 記載の半導体装置。

【請求項 1 6】 前記ソース領域および前記ドレイン領域はそれぞれ、電氣的コンタクト部を含み、

前記電氣的コンタクト部は、前記凸状半導体層の上面の一部、前記凸状半導体層の互いに相対する 2 つの側面の一部、および前記互いに相対する 2 つの側面それぞれに接した前記凸状半導体層の他側面の一部それぞれに跨っていることを特徴とする請求項 1 記載の半導体装置。

【請求項 1 7】 前記凸状半導体層は、前記基板に電氣的に接続されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 1 8】 前記凸状半導体層は、前記基板に電氣的に分離されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 1 9】 前記基板は、導電性であることを特徴とする請求項 1 記載の半導体装置。

【請求項 2 0】 前記基板は、絶縁性であることを特徴とする請求項 1 記載の半導体装置。

【請求項 2 1】 少なくとも前記凸状半導体層の互いに相対する 2 つの側面それぞれと前記ゲート電極との間に形成されたゲート絶縁膜をさらに具備し、

前記ゲート絶縁膜は、Ta、Sr、Al、Si、Zr、Hf、La および Ti の少なくともいずれか 1 つを含む酸化物からなることを特徴とする請求項 1 記載の半導体装置。

【請求項 2 2】 前記凸状半導体層の形状は、前記基板に対して順テーパ形状であることを特徴とする請求項 1 記載の半導体装置。

【請求項 2 3】 前記凸状半導体層の下部領域の形状は、前記基板に対して順テーパ形状であることを特徴とする請求項 1 記載の半導体装置。

【請求項 2 4】 前記凸状半導体層の上部コーナーの角度は、90度より大きいことを特徴とする請求項 1 記載の半導体装置。

【請求項 2 5】 前記凸状半導体層の上部コーナーの形状は、ラウンド形状であることを特徴とする請求項 1 記載の半導体装置。

【請求項 2 6】 前記チャネル領域の不純物濃度は、このチャネル領域の下部に形成されている半導体層よりも、不純物濃度が低いことを特徴とする請求項 1 記載の半導体装置。

【請求項 2 7】 基板上に形成された凸状半導体層と、
前記凸状半導体層の上部に、この凸状半導体層の上面と並行な方向に沿って互いに離間して形成されたソース領域およびドレイン領域と、

前記ソース領域と前記ドレイン領域間の前記凸状半導体層内に規定されたチャネル領域と、

少なくとも前記凸状半導体層の互いに相対する 2 つの側面に沿って前記凸状半導体層と絶縁された状態で形成され、少なくとも前記凸状半導体層の互いに相対する側面を介して、前記チャネル領域に電界効果を及ぼすゲート電極と、

前記基板と前記ソース領域間、前記基板と前記ドレイン領域間、および前記基板と前記チャネル領域間それぞれに跨って形成された、前記チャネル領域よりも不純物濃度が高い半導体層と、

を具備することを特徴とする半導体装置。

【請求項 2 8】 基板上に形成された凸状半導体層と、
前記凸状半導体層の上部に、この凸状半導体層の上面と並行な方向に沿って互いに離間して形成されたソース領域およびドレイン領域と、

前記ソース領域と前記ドレイン領域間の前記凸状半導体層内に規定されたチャネル領域と、

少なくとも前記凸状半導体層の互いに相対する 2 つの側面に沿って前記凸状半

導体層と絶縁された状態で形成され、少なくとも前記凸状半導体層の互いに相対する側面を介して、前記チャンネル領域に電界効果を及ぼすゲート電極と、

前記凸状半導体層の下部周辺領域に形成された、前記凸状半導体層の側面の延長面よりも、前記凸状半導体層側に延在しない絶縁膜と、

を具備することを特徴とする半導体装置。

【請求項 2 9】 基板上に形成された凸状半導体層と、

前記凸状半導体層の上部に、この凸状半導体層の上面と並行な方向に沿って互いに離間して形成されたソース領域およびドレイン領域と、

前記ソース領域と前記ドレイン領域間の前記凸状半導体層内に規定されたチャンネル領域と、

少なくとも前記凸状半導体層の互いに相対する 2 つの側面に沿って前記凸状半導体層と絶縁された状態で形成され、少なくとも前記凸状半導体層の互いに相対する側面を介して、前記チャンネル領域に電界効果を及ぼす、前記凸状半導体層の下部において、前記ソース領域および前記ドレイン領域それぞれとオフセットしたゲート電極と、

を具備することを特徴とする半導体装置。

【請求項 3 0】 基板上に形成された凸状半導体層と、

前記凸状半導体層の上部に、この凸状半導体層の上面と並行な方向に沿って互いに離間して形成されたソース領域およびドレイン領域と、

前記ソース領域と前記ドレイン領域間の前記凸状半導体層内に規定されたチャンネル領域と、

少なくとも前記凸状半導体層の互いに相対する 2 つの側面に沿って前記凸状半導体層と絶縁された状態で形成され、少なくとも前記凸状半導体層の互いに相対する側面を介して、前記チャンネル領域に電界効果を及ぼすゲート電極と、

前記ゲート電極の側面、および前記凸状半導体層の側面の少なくとも一部に形成された側壁絶縁膜と、

を具備することを特徴とする半導体装置。

【請求項 3 1】 基板上に形成された凸状半導体層と、

前記凸状半導体層の上部に、この凸状半導体層の上面と並行な方向に沿って互

いに離間して形成されたソース領域およびドレイン領域と、

前記ソース領域と前記ドレイン領域間の前記凸状半導体層内に規定されたチャネル領域と、

少なくとも前記凸状半導体層の互いに相対する2つの側面に沿って前記凸状半導体層と絶縁された状態で形成され、少なくとも前記凸状半導体層の互いに相対する側面を介して、前記チャネル領域に電界効果を及ぼすゲート電極とを具備し

、
前記凸状半導体層は、前記基板上に形成されたエピタキシャル半導体層で構成されていることを特徴とする半導体装置。

【請求項32】 基板上に形成された凸状半導体層と、

前記凸状半導体層の上部に、この凸状半導体層の上面と並行な方向に沿って互いに離間して形成されたソース領域およびドレイン領域と、

前記ソース領域と前記ドレイン領域間の前記凸状半導体層内に規定されたチャネル領域と、

前記凸状半導体層の上面および前記凸状半導体層の互いに相対する2つの側面に沿って前記凸状半導体層と絶縁された状態で形成され、少なくとも前記凸状半導体層の互いに相対する側面を介して、前記チャネル領域に電界効果を及ぼすゲート電極と、

前記ゲート電極に、前記凸状半導体層の上面の上方で電氣的にコンタクトされる配線と、

を具備することを特徴とする半導体装置。

【請求項33】 基板上に形成された、少なくとも2つの第1、第2凸状半導体層と、

前記第1凸状半導体層の上部に、この第1凸状半導体層の上面と並行な方向に沿って互いに離間して形成された第1ソース領域および第1ドレイン領域と、

前記第1ソース領域と前記第1ドレイン領域間の前記凸状半導体層内に規定された第1チャネル領域と、

前記第2凸状半導体層の上部に、この第2凸状半導体層の上面と並行な方向に沿って互いに離間して形成された第2ソース領域および第2ドレイン領域と、

前記第 2 ソース領域と前記第 2 ドレイン領域間の前記凸状半導体層内に規定された第 2 チャネル領域と、

少なくとも前記第 1 凸状半導体層の互いに相対する 2 つの側面、並びに少なくとも前記第 2 凸状半導体層の互いに相対する 2 つの側面に沿ってこれら第 1、第 2 凸状半導体層と絶縁された状態で形成され、少なくともこれら第 1、第 2 凸状半導体層の互いに相対する側面を介して、前記第 1、第 2 チャネル領域それぞれに共通に電界効果を及ぼすゲート電極とを具備し、

前記第 1、第 2 凸状半導体層の幅は、互いに揃えられていることを特徴とする半導体装置。

【請求項 3 4】 基板上に形成された、少なくとも 2 つの第 1、第 2 凸状半導体層と、

前記第 1 凸状半導体層の上部に、この第 1 凸状半導体層の上面と並行な方向に沿って互いに離間して形成された第 1 ソース領域および第 1 ドレイン領域と、

前記第 1 ソース領域と前記第 1 ドレイン領域間の前記凸状半導体層内に規定された第 1 チャネル領域と、

前記第 2 凸状半導体層の上部に、この第 2 凸状半導体層の上面と並行な方向に沿って互いに離間して形成された第 2 ソース領域および第 2 ドレイン領域と、

前記第 2 ソース領域と前記第 2 ドレイン領域間の前記凸状半導体層内に規定された第 2 チャネル領域と、

少なくとも前記第 1 凸状半導体層の互いに相対する 2 つの側面に沿って前記第 1 凸状半導体層と絶縁された状態で形成され、前記第 1 凸状半導体層の互いに相対する側面を介して、前記第 1 チャネル領域に電界効果を及ぼす第 1 ゲート電極と、

少なくとも前記第 2 凸状半導体層の互いに相対する 2 つの側面に沿って前記第 2 凸状半導体層と絶縁された状態で形成され、前記第 2 凸状半導体層の互いに相対する側面を介して、前記第 2 チャネル領域に電界効果を及ぼす第 2 ゲート電極とを具備し、

前記第 1、第 2 凸状半導体層の幅は、互いに揃えられていることを特徴とする半導体装置。

【請求項 3 5】 基板上に凸状半導体層を形成する工程と、

酸素ラジカルを用いて前記凸状半導体層を酸化し、少なくとも前記凸状半導体層の側面上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、少なくとも前記凸状半導体層の側面に沿った部分を持つゲート電極を形成する工程と、

少なくとも前記ゲート電極をマスクに用いて前記凸状半導体層内に不純物を導入し、前記凸状半導体層内にソース領域およびドレイン領域を形成する工程と、
を具備することを特徴とする半導体装置の製造方法。

【請求項 3 6】 半導体基板をエッチングし、この半導体基板に凸状半導体層を形成する工程と、

少なくとも前記凸状半導体層の側面上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、少なくとも前記凸状半導体層の側面に沿った部分を持つゲート電極を形成する工程と、

少なくとも前記ゲート電極をマスクに用いて前記凸状半導体層内に不純物を導入し、前記凸状半導体層内にソース領域およびドレイン領域を形成する工程と、
を具備することを特徴とする半導体装置の製造方法。

【請求項 3 7】 半導体基板上に、開孔を有する絶縁膜を形成する工程と、

前記開孔から露出した半導体基板上に、凸状半導体層を形成する工程と、

少なくとも前記凸状半導体層の側面上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に、少なくとも前記凸状半導体層の側面に沿った部分を持つゲート電極を形成する工程と、

少なくとも前記ゲート電極をマスクに用いて前記凸状半導体層内に不純物を導入し、前記凸状半導体層内にソース領域およびドレイン領域を形成する工程と、
を具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、この発明は、MOS型トランジスタ構造に関し、特に基板にほぼ垂直な凸状の半導体層において両側の側面にゲート絶縁膜を介して形成したゲー

ト電極を持ち、ソース／ドレイン領域の深さによりチャネル幅が決定されるMOS型トランジスタ構造とその製造方法に使用されるものである。

【0002】

【従来の技術】

MOS型構造を有する半導体デバイスでは、MOSFETの高性能化が大きな課題である。MOSFETの高性能化とは、

- (1) 駆動電流の増加、
- (2) しきい値バラツキの低減、
- (3) 寄生抵抗／寄生容量の低減、
- (4) カットオフ特性の向上、

等を示している。駆動電流を増加させるには、ゲート寸法（チャネル寸法、ゲート長とも言う）を短くして達成してきた。しかし、ショートチャネル化すると、ショートチャネル効果が増大して来ると言う問題もある。

【0003】

ショートチャネル効果を抑えるために、ゲート酸化膜の膜厚をできるだけ薄くしたり、チャネル部の不純物濃度を 10^8 cm^{-3} 程度まで高濃度化して、ソース、ドレイン間のパンチスルーを防止する努力が行われてきた。しかし、信頼性を保証できる最大許容電界（ E_{max} ）による制限から、ゲート酸化膜の膜厚を最大許容電界以上に薄くできない。

【0004】

また、過度のチャネル不純物濃度の高濃度化は、チャネルの高濃度不純物の散乱によるドレイン電流の飽和をもたらし、ショートチャネル化してもドレイン電流が増加しないという問題が顕著になってきている。

【0005】

さらに、微細化に伴い、ゲート電極の高抵抗化やソース／ドレインの寄生抵抗の増加が問題となってきた。その上さらに、ソース、ドレイン間のパンチスルーが起こりやすくなっているため、サブスレッショルド領域においてリーク電流が増加し、カットオフ特性が劣化してきている。

【0006】

このような問題を解決するために、Si 基板ほぼ垂直に凸型の直方体を形成し、その両側面をチャンネル領域として使う構造が提案されている。

【0007】

例えばIEDM Technical Digest pp. 736-739 (1987) (K. Hieda他)に開示されているように、STI (Shallow Trench Isolation) 分離した側面を少し露出し、側面をチャンネル領域として使用する構造がある (図68)。

【0008】

この文献には、チャンネル幅が小さく ($< 0.3 \mu\text{m}$) なくなると側面のゲート電極の影響で両側のチャンネル領域の空乏層は互いに接触し、平面部よりもコーナーを含む側面部の影響が大きくなり、カットオフ特性が向上するなどの特徴が示されている。しかし、ショートチャンネル効果の抑制等についての説明は示されていない。

【0009】

また、例えばIEDM Technical Digest pp. 833-836 (1989) (D. Hisamoto他)に開示されているように、Si 基板をRIEし、細長い凸状のフェンスを形成し、その下部を酸化してSOI構造を作り、両側面のゲート電極を形成している構造が提案されている (図69)。

【0010】

この場合もチャンネル幅が小さく ($< 0.2 \mu\text{m}$) なくなると側面のゲート電極の影響で両側のチャンネル領域の空乏層は互いに接触し、チャンネル領域では完全に空乏化した状態が作られる。即ち、薄膜SOI構造における完全空乏化と同じ状況がSi基板で実現できている。しかし、この構造はSOI構造となっていて、基板バイアスを印加することができない構造であり、ソース/ドレインとゲート電極の位置関係については記述されていない。

【0011】

また、例えばIEDM Technical Digest pp. 1032-1034 (1998) (D. Hisamoto他)に開示されているように、

S O I 基板を用いたフィン型の構造が提案されている（図 7 0）。

【 0 0 1 2 】

この文献では、2 0 n m 程度の S i フィン（F i n）を形成することで、3 0 n m 程度のチャネル長までショートチャネル効果が抑えられることが示されている。しかし、S O I 構造のため、図 6 9 と同じように基板バイアスを印加することができない構造である。また、S O I 層の膜厚バラツキが M O S F E T 特性バラツキに直接、影響を与える構造である。

【 0 0 1 3 】

これら文献に開示されたデバイスでは、カットオフ特性の改善やショートチャネル効果の抑制は実現できているが、基板バイアスを印可することができないため、完全空乏化したチャネルを持つ薄膜 S O I のトランジスタの場合と同じように蓄積ホール（Nチャネルの場合）の影響によるソース／ドレイン耐圧の劣化が問題となる。

【 0 0 1 4 】

上記問題を解消するためには、細い凸型の形状を形成し、両側面に形成したゲート電極によりチャネルを完全空乏化し、カットオフ特性の改善、ショートチャネル効果を抑制するとともに、基板バイアスを印加できる構造を実現する必要がある。

【 0 0 1 5 】

【発明が解決しようとする課題】

この発明は、上記実状に鑑みてなされたもので、その第 1 の目的は、カットオフ特性の改善を図ることが可能な構造を持つ、少なくとも凸状半導体層の側面の一部をチャネル領域として使う半導体装置およびその製造方法を提供することにある。

【 0 0 1 6 】

また、その第 2 の目的は、ゲート電界集中の緩和が可能な構造を持つ、少なくとも凸状半導体層の側面の一部をチャネル領域として使う半導体装置およびその製造方法を提供することにある。

【 0 0 1 7 】

また、その第3の目的は、駆動能力の向上を図ることが可能な構造を持つ、少なくとも凸状半導体層の側面の一部をチャネル領域として使う半導体装置およびその製造方法を提供することにある。

【0018】

また、その第4の目的は、ゲート特性の調節が可能な構造を持つ、少なくとも凸状半導体層の側面の一部をチャネル領域として使う半導体装置およびその製造方法を提供することにある。

【0019】

また、その第5の目的は、例えば100nm以下のチャネル長を実現するMOSFETの製造が容易となる構造を持つ、少なくとも凸状半導体層の側面の一部をチャネル領域として使う半導体装置およびその製造方法を提供することにある。

【0020】

また、その第6の目的は、駆動能力を損なうことなく平面面積の縮小が可能な構造を持つ、少なくとも凸状半導体層の側面の一部をチャネル領域として使う半導体装置およびその製造方法を提供することにある。

【0021】

【課題を解決するための手段】

この発明に係る半導体装置は主として、基板上に形成された凸状半導体層と、前記凸状半導体層の上部に、この凸状半導体層の上面と並行な方向に沿って互いに離間して形成されたソース領域およびドレイン領域と、前記ソース領域と前記ドレイン領域間の前記凸状半導体層内に規定されたチャネル領域と、少なくとも前記凸状半導体層の互いに相対する2つの側面に沿って前記凸状半導体層と絶縁された状態で形成され、少なくとも前記2つの相対する側面を介して、前記チャネル領域に電界効果を及ぼすゲート電極とを具備する。

【0022】

そして、上記第1～第6の目的を達成するために、下記構成の少なくともいずれか一つを具備することを特徴とする。

【0023】

(カットオフ特性の改善)

上記第 1 の目的を達成するために、この発明の第 1 の態様では、凸状半導体層の互いに相対する 2 つの側面において、ソース領域とドレイン領域との間の距離を変化させることを特徴としている。

【 0 0 2 4 】

また、上記第 1 の目的を達成するために、この発明の第 2 の態様では、ソース／ドレイン領域およびチャネル領域の下方に、高濃度不純物層を設けることを特徴としている。

【 0 0 2 5 】

また、上記第 1 の目的を達成するために、この発明の第 3 の態様では、凸状半導体層の互いに相対する 2 つの側面の一部、好ましくはその下部領域において、ソース／ドレイン領域とゲート電極とを互いにオフセットさせることを特徴としている。

【 0 0 2 6 】

(ゲート電界集中の緩和)

また、上記第 2 の目的を達成するために、この発明の第 4 の態様では、凸状半導体層の上面に形成されたゲート絶縁膜を、その側面に形成されたゲート絶縁膜よりも厚くすることを特徴としている。

【 0 0 2 7 】

また、上記第 2 の目的を達成するために、この発明の第 5 の態様では、凸状半導体層の側面に形成されたゲート絶縁膜を、その上面に形成されたゲート絶縁膜よりも厚くすることを特徴としている。

【 0 0 2 8 】

また、上記第 2 の目的を達成するために、この発明の第 6 の態様では、凸状半導体層の上部コーナーの角度を、90 度より大きくすることを特徴としている。

【 0 0 2 9 】

また、上記第 2 の目的を達成するために、この発明の第 7 の態様では、凸状半導体層の上部コーナーの形状を、ラウンド形状とすることを特徴としている。

【 0 0 3 0 】

(駆動能力の向上)

また、上記第3の目的を達成するために、この発明の第8の態様では、ソース／ドレイン領域の深さを、凸状半導体層の下部領域周囲に形成された素子分離絶縁膜の上面の幅よりも深くすることを特徴としている。

【0031】

また、上記第3の目的を達成するために、この発明の第9の態様では、凸状半導体層を複数設け、これら複数の凸状半導体層それぞれに形成されたソース／ドレイン領域、およびゲート電極を共通化することを特徴としている。

【0032】

また、上記第3の目的を達成するために、この発明の第10の態様では、凸状半導体層を平面的に折曲させて互いに対向させ、対向部分それぞれに共通のゲート電極を形成し、凸状半導体層のソース／ドレイン領域を含む領域の一部を互いに結合させることを特徴としている。

【0033】

(ゲート特性の調節)

また、上記第4の目的を達成するために、この発明の第11の態様では、少なくとも凸状半導体層の第1側面およびこの第1側面に相対する第2側面に第1ゲート電極を形成し、凸状半導体層の上面に前記第1ゲート電極とは異なる材料を用いた第2ゲート電極を形成することを特徴としている。

【0034】

(製造の容易化)

また、上記第5の目的を達成するために、この発明の第12の態様では、凸状半導体層を順テーパー形状とすることを特徴としている。

【0035】

また、上記第5の目的を達成するために、この発明の第13の態様では、凸状半導体層の下部領域を、順テーパー形状とすることを特徴としている。

【0036】

また、上記第5の目的を達成するために、この発明の第14の態様では、凸状半導体層の底部コーナーを、順テーパー形状とすることを特徴としている。

【 0 0 3 7 】

また、上記第 5 の目的を達成するために、この発明の第 1 5 の態様では、素子分離領域の底部コーナーを、ラウンド形状とすることを特徴としている。

【 0 0 3 8 】

また、上記第 5 の目的を達成するために、この発明の第 1 6 の態様では、凸状半導体層の周囲の素子分離絶縁膜を、素子分離絶縁膜の中心に向かって低くすることを特徴としている。

【 0 0 3 9 】

(駆動能力を損なうことのない平面面積の縮小)

また、上記第 6 の目的を達成するために、この発明の第 1 7 の態様では、凸状半導体層に形成された N M O S F E T の N 型ソース／ドレイン領域の深さと、他の凸状半導体層に形成された P M O S F E T の P 型ソース／ドレイン領域の深さと、を互いに異ならせることを特徴としている。

【 0 0 4 0 】

また、上記第 6 の目的を達成するために、この発明の第 1 8 の態様では、凸状薄膜 S i 層に形成された N M O S F E T (または P M O S F E T) のソース／ドレイン領域の深さと、他の凸状薄膜 S i 層に形成された N M O S F E T (または P M O S F E T) のソース／ドレイン領域の深さとを互いに異ならせることを特徴としている。

【 0 0 4 1 】

【発明の実施の形態】

以下、この発明の実施形態を、図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【 0 0 4 2 】

(第 1 実施形態)

図 1 はこの発明の第 1 実施形態に係る M O S F E T を示す斜投影図、図 2 A はその平面図、図 2 B は図 2 A 中の 2 B - 2 B 線に沿う断面図、図 2 C は図 2 A 中の 2 C - 2 C 線に沿う断面図、図 2 D は図 2 A 中の 2 D - 2 D 線に沿う断面図である。なお、図 1、図 2 B ~ 図 2 D では、図 2 A に示す層間絶縁膜、コンタクト

および配線をそれぞれ省略している。

【 0 0 4 3 】

図 1、図 2 A～図 2 D に示すように、P 型 Si (シリコン) 基板 1 0 のトランジスタ形成領域には P 型ウェル 1 1 が形成されている。P 型 Si 基板 1 0 は、例えば $5 \times 10^{15} \text{ cm}^{-3}$ 程度の不純物濃度を持ち、その主面の面方位は (1 0 0) である。P 型ウェル 1 1 中のトランジスタ・チャネル形成領域には、例えば $5 \times 10^{17} \text{ cm}^{-3}$ 程度の不純物濃度を持つ P 型高濃度不純物層 (以下パンチスルー・ストッパー層) 1 2 が形成されている。このパンチスルー・ストッパー層 1 2 は必要に応じて形成されるものであり、省略することも可能である。

【 0 0 4 4 】

Si 基板 1 0 上には、凸状薄膜 Si (シリコン) 層 1 3 が形成されている。凸状薄膜 Si 層 1 3 の一設計例は、高さ約 2 5 0 nm、幅約 7 0 nm、長さ約 4 4 0 nm である。本例の凸状薄膜 Si 層 1 3 の下部領域には、例えば P 型ウェル 1 1 の上部、およびパンチスルー・ストッパー層 1 2 がそれぞれ含まれている。そして、この下部領域の周辺には、素子分離用の素子分離絶縁膜 (シリコン酸化膜) 1 4 が形成されている。

【 0 0 4 5 】

凸状薄膜 Si 層 1 3 内のパンチスルー・ストッパー層 1 2 上には、チャネル不純物層 (チャネル領域) 1 5 が形成されている。チャネル不純物層 1 5 には、M O S F E T のしきい値電圧が所望の値になるように、不純物がドーピングされている。

【 0 0 4 6 】

凸状薄膜 Si 層 1 3 の長辺方向 (長さ方向) には、ゲート電極 1 6 を挟んでソース/ドレイン領域 1 7 が形成されている。ゲート電極 1 6 は、凸状薄膜 Si 層 1 3 の両側面にゲート絶縁膜 1 8 を介して、凸状薄膜 Si 層 1 3 の段差を乗り越えるように形成されている。チャネル幅 (W_g) は、凸状薄膜 Si 層 1 3 の短辺方向の幅で決まる。また、ゲート長 (L_g) は、ゲート電極 1 6 の長さによって主に決まる。但し、実効チャネル長は、ゲート電極 1 6 の凸状薄膜 Si 層 1 3 の側面におけるソース/ドレイン領域 1 7 の距離によって決まるものである。

【0047】

さらにゲート電極16は、素子分離絶縁膜14上と、凸状薄膜Si層13の両側面と上面とに形成されており、これら側面および上面において、ソース／ドレイン領域17の一部、チャネル領域15、およびパンチスルー・ストッパー層12の一部を覆うように形成されている。

【0048】

次に、以上説明した構造のMOSFETの製造工程を、図3から図11の工程断面図を用いて説明する。なお、図3A～図11Aに示す断面は図2Bに示す断面に対応し、図3B～図11Bに示す断面は図2Cに示す断面に対応している。

【0049】

まず、図3A、図3Bに示すように、不純物濃度 $5 \times 10^{15} \text{ cm}^{-3}$ 程度の面方位(100)P型Si基板10のトランジスタ・チャネル領域に、NMOSFETを形成する場合にはP型ウェル11（ピーク不純物濃度で、例えば $4 \times 10^{17} \text{ cm}^{-3}$ 程度）を、例えばボロンイオン(B^+)を、加速電圧260KeV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ 程度イオン注入することにより形成する。また、PMOSFETを形成する場合にはNウェル（図示せず）を形成する。

【0050】

次に、P型ウェル11中の、少なくともトランジスタ・チャネル形成領域を含む領域に、レジスト膜（図示せぬ）をマスクに用いて、例えばボロンイオン(B^+)をイオン注入し、ピーク濃度で $2 \times 10^{18} \text{ cm}^{-3}$ 程度の不純物濃度を持つ高濃度不純物層12を形成する。この高濃度不純物層12は、パンチスルー・ストッパー層として機能する。これらのイオン注入工程時、Si基板10表面に、8nm程度の膜厚の酸化膜（図示せず）を形成しておく。このようにして、レジスト膜（図示せず）からのSi基板10への汚染、例えばメタル汚染を防止する。また、注入されたイオンの活性化には、例えば900℃、窒素(N_2)雰囲気中で5分程度のRTA(Rapid Thermal Anneal)処理を用いる。これにより、急峻なプロファイルを持つP型高濃度不純物層12を形成することができる。

【0051】

さらに、例えばトランジスタ・チャネル形成領域を含む領域に、レジスト膜（図示せず）をマスクに用いて、所望の導電型の不純物イオンを注入し、チャネル不純物層 1 5 を形成する。このとき、チャネル不純物層 1 5 は、不純物イオンをトランジスタ・チャネル領域にのみ選択的に注入することで形成しても良い。形成される MOSFET が N チャネル型で、そのしきい値電圧 (V_{th}) を、例えば 0.7 V 程度に設定したい場合には、例えばボロンイオン (B^+) を、加速電圧 20 KeV、 $5 \times 10^{12} \text{ cm}^{-2}$ 程度イオン注入し、P 型のチャネル不純物層 1 5 を、チャネルとなる領域に、選択的に均一なプロファイルとなるように形成する。この工程は、酸化膜（図示せず）を通してイオン注入を行なう。このチャネル不純物層 1 5 の活性化は、この後、例えば RTA 処理を用いて、例えば 750℃、10 秒程度の熱処理で行なっても良い。

【 0 0 5 2 】

次に、上記酸化膜（図示せず）を除去し、再度、全面に 5 nm 程度の膜厚の SiO_2 層 2 0、20 nm 程度の膜厚のマスク層 (SiN) 2 1、20 nm 程度の膜厚のマスク層 (SiO_2) 2 2 を形成し、リソグラフィ法と RIE 法を用いて、所望の形状、例えば MOSFET の素子領域となる形状に加工する。

【 0 0 5 3 】

次に、図 4 A、図 4 B に示すように、図 3 A、図 3 B に示す構造を、マスク層 2 2 をエッチングマスクに用いてエッチングし、ソース、ドレイン、チャネルとなる凸状薄膜 Si 層（フェンス）1 3 を形成する。この凸状薄膜 Si 層 1 3 の高さは、例えば 250 nm 程度である。このように、図 3 A、図 3 B に示す構造を、 Si 基板 1 0 中の P 型ウェル 1 1 の一部に達するまで、例えば RIE 法を用いてエッチングすることで、深さ 250 nm 程度の溝が形成される。これにより、凸状薄膜 Si 層 1 3 が形成される。次に、凸状薄膜 Si 層 1 3 の側面や溝の底を、アッシングとウェット処理等を用いてクリーニングするとともに、RIE によってダメージを受けた Si 層を除去する。これにより、凸状薄膜 Si 層 1 3 の側面や溝の底に、ダメージの少ない Si 表面を露出させる。次に、凸状薄膜 Si 層 1 3 の側面や溝の底に、界面特性を良くする目的で、酸化膜（図示せず）を形成する。この酸化膜の形成には、低温（例えば 700℃ 程度）で良質の酸化膜を形

成できる、酸素ラジカルを用いたラジカル酸化法を用いるのが望ましい。このようにラジカル酸化法を用いて、凸状薄膜 Si 層 1 3 の側面や溝の底に、7 nm 程度の膜厚の酸化膜（図示せず）を形成する。

【 0 0 5 4 】

次に、図 5 A、図 5 B に示すように、酸化膜（図示せず）を介して、溝を、絶縁膜、例えば SiO_2 、好ましくは TEOS を反応ガスに用いて形成した TEOS-SiO₂ 層 2 3 により埋め込む。これにより、いわゆるトレンチ型素子分離（STI; Shallow Trench Isolation）を形成する。これには、例えば図 4 A、図 4 B に示した構造上に、反応ガスを TEOS、成膜温度を約 650℃ とした CVD 法を用いて、TEOS-SiO₂ を 500 nm 程度堆積し、TEOS-SiO₂ 層 2 3 を形成する。次に、TEOS-SiO₂ 層 2 3 を、例えば温度 700℃ 程度のラジカル酸化雰囲気でデンシファイした後、CMP（Chemical Mechanical Polishing）法を用いて、平坦化する。このとき、マスク層（SiN）2 1 の CMP 速度と TEOS-SiO₂ 層 2 3 の CMP 速度との差によって、TEOS-SiO₂ 層 2 3 は、溝内に平坦に埋め込まれる。なお、溝を埋め込む絶縁膜としては、TEOS-SiO₂ の他、TEOS-O₃ CVD 法を用いて形成した TEOS-O₃-SiO₂ 膜や、HDP（High Density Plasma）CVD 法を用いて形成した HDP-SiO₂ 膜などでも良い。

【 0 0 5 5 】

次に、図 6 A、図 6 B に示すように、TEOS-SiO₂ 層 2 3 を、例えば RIE 法を用いてエッチバックすることにより、溝の底部に、例えば 100 nm 程度の膜厚となる素子分離用の素子分離絶縁膜 1 4 を形成する。

【 0 0 5 6 】

次に、図 7 A、図 7 B に示すように、マスク層（SiN）2 1 を、例えばホット磷酸等を用いて、ウェット除去する。次いで、溝の側面に形成されている酸化膜（図示せず）および SiO₂ 層 2 0 を、フッ酸系の溶液を用いて剥離する。これにより、凸状薄膜 Si 層 1 3 の上面、およびその側面から Si を露出させる。次いで、露出した Si の表面に、ゲート絶縁膜 1 8 を形成する。ゲート絶縁膜 1

8は、例えば露出したSiの表面を、例えば700℃程度のラジカル酸化法を用いて、約2.5nm程度酸化することで形成される。このラジカル酸化法を用いたゲート絶縁膜18の形成では、特に側面の面方位に依存し難く、Si表面の凸凹が少ない酸化膜を実現できるので、チャネル界面散乱によるチャネル・モビリティの低下の少ないMOSトランジスタを実現できる。また、ラジカル酸化は、酸化膜の膜厚がある温度では一定の膜厚しか形成できないので、酸化膜のウェーハ面内およびチップ間での酸化膜の膜厚バラツキを少なくできる、という特長がある。もちろん、ゲート絶縁膜18には、熱酸化法を用いて、通常熱酸化膜を形成し、その表面を、窒素を含むガスで窒化することによりSiON膜とする、いわゆる「オキシナイトライド膜」ゲート絶縁膜を用いても良い。

【0057】

さらに、図24に示すように、ゲート絶縁膜18は、SiO₂膜に限らず、Ta₂O₅（タンタルオキサイド）膜や、Al₂O₃膜、La₂O₃膜、HfO₂膜、ZrO₂膜等の、いわゆる高誘電体絶縁膜（high-K膜）を用いても良い。例えばTa₂O₅膜の比誘電率 ϵ_r は、SiO₂膜の $\epsilon_r=3.9$ に比べて大きく、約20～27程度である。このため、Ta₂O₅膜は、SiO₂膜に膜厚を換算したときの酸化膜換算膜厚（equivalent film thickness）を、2nm以下にできる可能性がある膜である。

【0058】

また、Ta₂O₅膜を用いた場合、Si界面との界面準位密度を減らすために、例えば1nm程度のSi酸化膜系の膜をSi界面に形成してから、その上にTa₂O₅膜を形成する、いわゆる積層膜ゲート絶縁膜構造にして使用しても良い。

【0059】

次に、図8A、図8Bに示すように、ゲート電極16となる、例えばN型不純物がドーピングされたドーフト多結晶Si膜（膜厚100nm程度）を、図7A、図7Bに示す構造上に堆積形成し、その上にゲートキャップ絶縁膜24となる、例えばSiN膜を100nm程度、堆積形成する。次いで、レジスト膜（図示せず）をマスクに用いて、まず、ゲートキャップ絶縁膜（SiN）24をエッチングし、次いで、ゲートキャップ絶縁膜（SiN）24をマスクに用いて、ドーフト

多結晶 Si 膜をパターニングする。これにより、ゲート電極 1 6 が形成される。このとき、ゲート電極 1 6 は、凸状薄膜 Si 層 1 3 の段差を跨ぐように加工される。このため、ゲート電極 1 6 のエッチング速度とゲート絶縁膜 1 8 のエッチング速度との比（選択比）を充分にとれる、例えば 4 0 0 程度あるような条件を用いて、ドーフト多結晶 Si 膜をパターニングすることが重要である。このようなエッチング条件を用いることで、凸状薄膜 Si 層 1 3 へのエッチング・ダメージを防止できる。

【 0 0 6 0 】

また、ゲート電極 1 6 の抵抗を低下させるために、ドーフト多結晶 Si 膜の代わりに、メタル膜（TiN 膜、W 膜、WN 膜、Ru 膜、Ir 膜、Al 膜などやその積層膜）、あるいは多結晶 Si 膜と W 膜、TiN 膜、Al 膜、Cu 膜などのメタル膜や、 CoSi_2 膜や TiSi_2 膜などのシリサイド膜との積層ゲート電極構造を用いることも可能である。

【 0 0 6 1 】

さらに、ゲート電極 1 6 の材料を TiN 等とした場合、その配向性等を調整することにより、ゲート電極 1 6 の仕事関数の変化を利用して MOSFET のしきい値電圧を調整することも可能である。

【 0 0 6 2 】

また、ゲート電極 1 6 の長さ（いわゆるゲート長）は、例えば 7 0 nm 程度とする。この発明では、詳しくは後述するが PMOSFET のショートチャネル効果を抑制できるので、N チャネル、PMOSFET 共に同じチャネル長を用いるように設計しても良い。

【 0 0 6 3 】

次に、図 9 A、図 9 B に示すように、ゲートキャップ絶縁膜 2 4 とゲート電極 1 6 をマスクに用いたイオン注入法により、N 型ソース／ドレイン領域 1 7 を形成する。この時、ゲート電極 1 6 の側壁や、底部コーナーの電界集中を緩和するために、ゲート電極 1 6 を、例えばラジカル酸化法や低温の RTO 法等を用いて酸化し、例えば 2 nm 程度の膜厚を持つ酸化膜（図示せず）を形成しても良い。

【 0 0 6 4 】

また、ソース／ドレイン領域 17 の深さ (X_j) 制御は、凸状 Si トランジスタのチャネル幅を決める重要な工程である。特に N 型ソース／ドレイン領域 17 の不純物の活性化等を含めて、熱処理の温度設定には、注意が必要である。

【 0 0 6 5 】

また、本例では、CVD 法を用いて、絶縁物 (SiO_2 や SiN) を、図 8 A、図 8 B に示す構造上に堆積した後、堆積された絶縁物を RIE し、この絶縁物を、ゲート電極 16 パターンの側壁、および凸状薄膜 Si 層 13 の側壁に残す。これにより、ゲート電極 16 パターンの側壁、および凸状薄膜 Si 層 13 の側壁に、膜厚 20 nm 程度の側壁絶縁膜 25 を形成する。この後、例えば砒素イオン (As^+) を、加速電圧 20 KeV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ 程度イオン注入し、N 型ソース／ドレイン領域 (N^+ 型拡散層) 17 を形成する。

【 0 0 6 6 】

なお、本例では、シングル・ソース／ドレイン構造について述べたが、図 29 に示すように、 N^- 型拡散層 17 a と N^+ 型拡散層 17 b を用いたゲート・エクステンション構造を用いることも可能である。 N^- 型拡散層 17 a のイオン注入条件の一例は、例えばリンイオン (P^+) を、加速電圧 40 KeV、ドーズ量 $4 \times 10^{13} \text{ cm}^{-2}$ 程度である。これにより、 N^- 型拡散層 17 a を形成する。もちろん、砒素 (As) 等のイオン注入を行って、 N^- 型拡散層 17 a を形成しても良い。

【 0 0 6 7 】

N 型ソース／ドレイン領域 17 の深さ (X_j) は、最終的なイオン注入層形成後の熱的な活性化や熱処理条件により制御される。例えば PN 接合深さ (X_j) = 0.12 μm 程度になるように、イオン注入条件 (加速電圧とドーズ量) および熱的な活性化条件を制御して実現する。

【 0 0 6 8 】

また、N 型ソース／ドレイン領域 17 の比抵抗を低下させる必要がある場合には、例えば比抵抗を 50 $\mu\Omega \cdot \text{cm}$ 程度より低くしたい場合には、N 型ソース／ドレイン領域 17 の表面に、 TiSi_2 や CoSi_2 、 PtSi 、 Pd_2Si 、 IrSi_3 、 RhSi 等のシリサイド層 (図示せず) を形成しても良い。特にソー

ス／ドレイン領域 17 が P 型の場合、この P 型ソース／ドレイン領域 17 のコンタクト抵抗を低下させるには、 Pd_2Si が有効である。

【0069】

本例では、凸状薄膜 Si 層 13 の側面の N 型ソース／ドレイン領域 17 の下部には、ゲート電極 16 とオフセットとなるオフセット領域が存在することになる。これは N 型ソース／ドレイン領域 17 を、表面からのイオン注入法と熱拡散により形成しているからである。このオフセット領域の存在と、パンチスルー防止のためのイオン注入層（パンチスルー・ストッパー層 12）とにより、N 型ソース／ドレイン領域 17 の下部領域におけるパンチスルーが防止できる構造となっている。

【0070】

さらに本例では、凸状薄膜 Si 層 13 の側面が、側壁絶縁膜 25 によって覆われているので、N 型ソース／ドレイン領域 17 を形成するためのイオン注入時、凸状薄膜 Si 層 13 の上面へのイオン注入がメインとなり、側面への不純物のイオン注入は防止できる構造となっている。

【0071】

次に、図 10A、図 10B に示すように、CVD 法を用いて、図 9A、図 9B に示した構造上に、 SiO_2 を、例えば 500 nm 程度堆積し、層間絶縁膜 26 を形成する。この後、層間絶縁膜 26 を、例えば 700℃ 程度のラジカル酸化雰囲気、例えば 30 分程度デンシファイする。この熱工程は、N 型ソース／ドレイン領域 17 のイオン注入層の活性化を兼ねて行っても良い。N 型ソース／ドレイン領域 17 の深さ (X_j) を制御したい時は、デンシファイの温度を低温化する、あるいは例えば 850℃ 程度で msec（ミリ秒）程度の RTA 処理を行っても良い。さらにはこれらを併用して N 型ソース／ドレイン領域 17 のイオン注入層の活性化を行なっても良い。この後、CMP 法を用いて、層間絶縁膜 26 を平坦化し、素子表面を平坦化する。

【0072】

次に、図 11A、図 11B に示すように、レジスト膜（図示せず）と RIE 法を用いて、コンタクトホール 27 を形成し、そのコンタクトホール 27 に W（タ

ングステン) 膜や A l (アルミ) 膜、T i N (窒化チタン) 膜 / T i (チタン) 膜やそれらの積層膜を埋め込み、コンタクトプラグ 2 8 を形成する。さらに A l 配線層 2 9 を形成する。さらに全面にパッシベーション膜 (図示せず) を堆積することで、この発明の第 1 実施形態に係る M O S F E T の基本構造が完成する。

【 0 0 7 3 】

このような凸状薄膜 S i 層 1 3 の両側面に、ゲート電極 1 6 を持ち、好ましくは完全空乏化チャネルを持つダブルゲート構造を持つ M O S F E T により、

(1) 凸状薄膜 S i 層 1 3 中に形成した N 型ソース / ドレイン領域 1 7 と凸状薄膜 S i 層 1 3 の下部領域に形成した素子分離絶縁膜 1 4 との間を離すことにより、本 M O S F E T のチャネル幅を、ソース / ドレイン領域 1 7 の深さにより制御することができる。そして、凸状薄膜 S i 層 1 3 を形成するときの、溝エッチング深さのバラツキの影響が、チャネル幅のバラツキに影響しない構造が実現できる。

【 0 0 7 4 】

(2) 凸状薄膜 S i 層 1 3 の幅 (W g) を、例えば 0 . 2 0 μ m より狭くする。これにより、凸状薄膜 S i 層 1 3 の両側面に形成したゲート電極 1 6 によって、チャネル領域 1 5 を完全に空乏化することができる。チャネル領域 1 5 を完全に空乏化することで、例えばショートチャネル効果を抑制できる。

【 0 0 7 5 】

(3) 凸状薄膜 S i 層 1 3 のチャネル領域 1 5 とウェル 1 1 (もしくは S i 基板 1 0) 間に、高濃度不純物層 (パンチスルー・ストッパー層) 1 2 を設けることにより、M O S F E T のパンチスルーを防止することができる。

【 0 0 7 6 】

(4) 凸状薄膜 S i 層 1 3 の側面において、ソースとドレイン間の距離は、上部領域において短く、下部になるに従って広がっているような形状を実現することにより、ソース / ドレイン間のパンチスルーを防止できる。

【 0 0 7 7 】

(5) 凸状薄膜 S i 層 1 3 の側面において、ソースとドレイン間の距離を、凸状薄膜 S i 層 1 1 3 の上部領域において短く、下部領域に向かって広がるよう

な形状を実現することにより、ソース／ドレイン間のパンチスルーを防止できる。

【0078】

さらに、凸状薄膜Si層13の下部領域において、ソース／ドレイン領域17の一部が、ゲート電極16よりも自己整合的に外側になった、極めて従来と異なった形状となるように形成する。このようにゲート電極16とソース／ドレイン領域17の一部とが互いにオフセットする、オフセット構造を設けることによって、凸状薄膜Si層13の下部領域におけるパンチスルーを効果的に防止できる。

【0079】

(6) MOSFETのチャネル領域15の一部は、凸状薄膜Si層13の側面を用いるものであるが、ソース／ドレイン／ゲートへのコンタクト、配線は、ほぼ完全に平坦化された平面、例えば層間絶縁膜26上で行なうので、従来の平面型のプロセス技術をそのまま使用できる利点がある。

【0080】

(第2実施形態)

図12はこの発明の第2実施形態に係るMOSFETを示す斜投影図、図13A、図13Bはそれぞれ、その断面図である。なお、図13Aに示す断面は図2Bに示した断面に相当し、図13Bに示す断面は図2Cに示した断面に相当する。また、図12、図13A、図13Bでは、図2Aに示したコンタクトおよび配線はそれぞれ省略されている。

【0081】

第1実施形態では、凸状薄膜Si層13の上面、両側面で、ほぼ膜厚が等しいゲート絶縁膜18を用いた構造を示した。

【0082】

本第2実施形態では、図12、図13A、図13Bに示すように、凸状薄膜Si層13の上面には、両側面のゲート絶縁膜18aに比べて、膜厚の厚いゲート絶縁膜(TOP絶縁膜)18bが有る構造について示している。

【0083】

このような構造を用いることで、凸状薄膜 Si 層 13 のチャネル領域 15 において、上部コーナーにおけるゲート電界集中を緩和でき、その影響を低減することができる。このようにゲート電界集中の影響を低減できることで、ゲート電界集中に起因したしきい値電圧の変動や、基板バイアス特性の変動、即ち、基板バイアスを印加したときのしきい値電圧の変動を抑制することができる。

【0084】

このような構造を得るには、例えば第1実施形態の、図6A、図6Bを参照して説明した工程において、凸状薄膜 Si 層 13 の上面上に形成された SiO₂ 層 20 を除去しないで残しておき、その後、凸状薄膜 Si 層 13 の側面上に、ゲート絶縁膜 18a を形成する。これにより、凸状薄膜 Si 層 13 の上面上には厚いゲート絶縁膜 18b、凸状薄膜 Si 層 13 の両側面上には、薄いゲート絶縁膜 18a という、2種類の膜厚を持つゲート絶縁膜構造を実現することができる。

【0085】

なお、本第2実施形態の、特にゲート絶縁膜 18a は、SiO₂ 膜に限らず、図25に示すように、Ta₂O₅ 膜、HfO₂ 膜、ZrO₂ 膜等の、いわゆる高誘電体絶縁膜（high-K膜）を用いることが可能である。

【0086】

また、ゲート絶縁膜 18a に Ta₂O₅ 膜を用いた場合には、Si 界面との界面準位密度を減らすために、例えば 1nm 程度の Si 酸化膜系の膜を Si 界面に形成してから、その上に Ta₂O₅ 膜を形成する、いわゆる積層膜ゲート絶縁膜構造としても良い。

【0087】

なお、ゲート絶縁膜 18a に、上記高誘電体絶縁膜（high-K膜）を用いる変形は、この明細書で説明する全ての実施形態で適用可能であることは、もちろんである。

【0088】

（第3実施形態）

図14A、図14Bはそれぞれ、この発明の第3実施形態に係る MOSFET を示す断面図である。なお、図14Aに示す断面は図2Bに示した断面に相当し

、図14Bに示す断面は図2Cに示した断面に相当する。また、図14A、図14Bでは、図2Aに示したコンタクトおよび配線はそれぞれ省略されている。

【0089】

第1実施形態では、凸状薄膜Si層13中に形成されたソース／ドレイン領域17とウェル11（もしくはSi基板10）との間に、パンチスルー・ストッパー層12が存在している構造例を示した。

【0090】

本第3実施形態では、図14A、図14Bに示すように、ソース／ドレイン領域17の深さが、第1実施形態より深い。例えば本例では、ソース／ドレイン領域17の底部が、凸状薄膜Si層13の周囲に形成された素子分離絶縁膜14の上面にほぼ等しいか、それよりも深い場合について示している。この場合、ゲート電極16は、素子分離絶縁膜14の上面から、凸状薄膜Si層13の側面に沿って形成されるために、ソース／ドレイン領域17の底部の位置と、ゲート電極16の位置とが、ほぼ一致することになる。

【0091】

このような構造では、ソース／ドレイン領域17の深さを深くできるために、チャネル幅を大きくできる。よって、凸状薄膜Si層13の高さを低くでき、ゲート電極16の加工が容易、という効果を得ることができる。

【0092】

（第4実施形態）

図15A、図15Bはそれぞれ、この発明の第4実施形態に係るMOSFETを示す断面図である。なお、図15Aに示す断面は図2Bに示した断面に相当し、図15Bに示す断面は図2Cに示した断面に相当する。また、図15A、図15Bでは、図2Aに示したコンタクトおよび配線はそれぞれ省略されている。

【0093】

第1実施形態では、凸状薄膜Si層13中に形成されたソース／ドレイン領域17とウェル11（もしくはSi基板10）との間に、パンチスルー・ストッパー層12が存在し、かつ凸状薄膜Si層13の側面において、ソース／ドレイン領域17がゲート電極16とオフセットしている構造例を示した。

【 0 0 9 4 】

本第 4 実施形態では、図 1 5 A、図 1 5 B に示すように、ソース／ドレイン領域 1 7 の深さが、第 1 実施形態より深く、かつオフセット領域が無い構造を示している。具体的には、例えば本例では、ソース／ドレイン領域 1 7 の底部が、凸状薄膜 S i 層 1 3 の周囲に形成された素子分離絶縁膜 1 4 の上面にほぼ等しいか、それよりも深く、かつ凸状薄膜 S i 層 1 3 の側面において、ソース／ドレイン領域 1 7 は、ゲート電極 1 6 と完全にオーバーラップしている。このような構造を得るには、例えばゲート電極 1 6 とその側壁絶縁膜 2 5 をマスクに用いて、不純物をドーブした膜からの固相拡散により、ソース／ドレイン領域 1 7 を形成すれば良い。

【 0 0 9 5 】

このような構造では、第 3 実施形態と同様に、ソース／ドレイン領域 1 7 を深い領域まで形成でき、大きなチャネル幅を実現できるため、凸状薄膜 S i 層 1 3 の高さを低くでき、ゲート電極 1 6 の加工が容易になる、という効果を得ることができる。

【 0 0 9 6 】

(第 5 実施形態)

図 1 6 A はこの発明の第 5 実施形態に係る M O S F E T を示す平面図、図 1 6 B は図 1 6 A 中の 1 6 B - 1 6 B 線に沿う断面図、図 1 6 C は図 1 6 A 中の 1 6 C - 1 6 C 線に沿う断面図である。

【 0 0 9 7 】

第 1 実施形態では、凸状薄膜 S i 層 1 3 が一つの場合について述べた。

【 0 0 9 8 】

本第 5 実施形態では、より大きなチャネル幅を実現するために、凸状薄膜 S i 層 1 3 を複数個合わせて、一つの M O S F E T を形成する場合について述べる。

【 0 0 9 9 】

図 1 6 A ~ 図 1 6 C に示すように、凸状薄膜 S i 層 1 3 を並列に配置し、ソース／ドレイン領域 1 7 へのコンタクトを共通にし、また、ゲート電極 1 6 も共通にする。これにより、大きなチャネル幅を実現できる。

【 0 1 0 0 】

凸状薄膜 Si 層 1 3 の側面をチャネル幅として用いることができるので、平面的な構造を持つ MOS F E T に比べて、平面的な面積を小さくできる。

【 0 1 0 1 】

また、この時、ゲート電極 1 6 へのコンタクトは、ゲート電極 1 6 のうち、素子分離絶縁膜 1 4 上に配置された部分に形成することができる。

【 0 1 0 2 】

本第 5 実施形態に係る構造では、凸状薄膜 Si 層 1 3 を、複数個配置しソース、ドレイン、ゲートを共通にして一つのトランジスタとして動作させることで、より大きなチャネル幅を、より少ない平面的な面積で実現できる。これにより半導体集積回路の高密度化を実現できる特長がある。このとき、複数個の薄膜凸状 Si 層 1 3 の幅は各々ほぼ同じとし、互いに揃えられることが望ましい。同じ幅であれば、それぞれの MOS F E T 特性を同じにできるからである。

【 0 1 0 3 】

また、複数個の薄膜凸状 Si 層 1 3 の幅を各々ほぼ同じとし、互いに揃えることで、それぞれの MOS F E T 特性を同じにできる、という観点から、1 つのチップ中に形成される複数の MOS F E T の全て、あるいはその一部において、薄膜凸状 Si 層 1 3 の幅を各々同じに揃えるようにしても良い。

【 0 1 0 4 】

このように複数の薄膜凸状 Si 層 1 3 の幅が揃えられれば、例えば複数の薄膜凸状 Si 層 1 3 を微細に形成し易くなる、という利点を得ることができる。

【 0 1 0 5 】

なぜなら、薄膜凸状 Si 層 1 3 の幅が揃っていると、薄膜凸状 Si 層 1 3 を加工し易く、また、埋め込みも容易となるからである。この結果、素子の製造歩留りが向上する。この利点は、今後、更に進展が予想される MOS F E T の微細化や、半導体集積回路装置の高集積化にとって、大変有用である。

【 0 1 0 6 】

また、半導体集積回路装置に集積される複数の MOS F E T では、回路構成上、それぞれ必要とされる駆動能力に違いがある。

【 0 1 0 7 】

従来、駆動能力の調節は、チャネル幅を変更することで為されていた。チャネル幅を変更することは、M O S F E T が形成される素子領域の幅の変更を意味する。このため、従来の半導体集積回路においては、1チップ中に、様々な幅の素子領域が集積されていた。このような構造は、微細に形成し難く、更に進展が予想されるM O S F E T の微細化や、半導体集積回路装置の高集積化にとっては、あまり好ましいことではない。

【 0 1 0 8 】

しかし、この発明に係るM O S F E T を用いて形成した半導体集積回路装置では、従来の素子領域に相当した薄膜凸状S i 層 1 3 の幅を揃えることが可能、究極的には全て揃えることが可能となる。究極的には全ての薄膜凸状S i 層 1 3 の幅を揃えることが可能である。

【 0 1 0 9 】

なぜなら、この発明に係るM O S F E T では、本第 5 実施形態のように、チャネル幅を、ゲート電極 1 6 を複数の薄膜凸状S i 層 1 3 で共通にすることで変更でき、これによって駆動能力の調節が可能となるからである。

【 0 1 1 0 】

(第 6 実施形態)

図 1 7 A はこの発明の第 6 実施形態に係るM O S F E T を示す平面図、図 1 7 B は図 1 7 A 中の 1 7 B - 1 7 B 線に沿う断面図、図 1 7 C は図 1 7 A 中の 1 7 C - 1 7 C 線に沿う断面図である。

【 0 1 1 1 】

第 5 実施形態では、より大きなチャネル幅を実現するために、凸状薄膜S i 層 1 3 を複数個合わせて、一つのM O S F E T を形成する場合について述べた。また、ゲート電極 1 6 へのコンタクトは、ゲート電極 1 6 のうち、素子分離絶縁膜 1 4 上に配置された部分に形成する場合を述べた。

【 0 1 1 2 】

本第 6 実施形態が、第 5 実施形態と異なるところは、ゲート電極 1 6 へのコンタクトをとる構造である。

【0113】

図17A～図17Cに示すように、例えば凸状薄膜Si層13とは別に、コンタクトをとるための凸状薄膜Si層30を形成し、ゲート電極16を、凸状薄膜Si層30の上面まで延長する。そして、凸状薄膜Si層30の上面の上方で、ゲート電極16にコンタクトをとる。

【0114】

このゲートコンタクト用の凸状薄膜Si層30の大きさは、コンタクトがとれる大きさなら良い。そして、凸状薄膜Si層30の目的は、MOSFETのソース/ドレイン領域17へのコンタクト深さと、MOSFETのゲート電極16へのコンタクト深さとの差を縮小することにある。このような凸状薄膜Si層30を持つ構造とすることで、安定したコンタクトを得ることが可能になり、製造歩留りを向上することができる。

【0115】

本第6実施形態に係る構造によれば、ゲートコンタクト形成用の凸状薄膜Si層30を形成することで、その上面の上方で、ゲート電極16へのコンタクトをとることができる。これにより、深いコンタクトを回避することができ、コンタクト、配線工程の安定した製造ができるようになる。

【0116】

図18A、図18Bはそれぞれ、この発明の第6実施形態の他例に係るMOSFETを示す断面図である。なお、図18Aに示す断面は図2Bに示した断面に相当し、図18Bに示す断面は図2Cに示した断面に相当する。

【0117】

図18A、図18Bに示すように、第6実施形態に係る構造は、第5実施形態のように、複数のMOSFETを持つ構造に限らず、第1実施形態のように、一つのMOSFETを持つ構造においても、適用することが可能である。

【0118】

この場合も、ゲートコンタクト形成用の凸状薄膜Si層30の上面の上方で、ゲート電極16にコンタクトをとることで、深いコンタクトの形成を回避でき、コンタクト、配線工程の安定した製造ができるようになる。

【0119】

(第7実施形態)

図19A、図19Bはそれぞれ、この発明の第7実施形態に係るMOSFETを示す断面図である。

【0120】

第1実施形態では、凸状薄膜Si層13を、Si基板10に対してほぼ垂直の角度を持つように形成した例を述べた。

【0121】

本第7実施形態では、図19A、図19Bに示すように、段差となる凸状薄膜Si層13をまたぐ形のゲート電極の加工を容易にするために、凸状薄膜Si層13に順テーパ角度 θ を持つように形成する。例えば垂直な場合に比べて、凸状薄膜Si層13に、1～3度程度の順テーパ角度 θ をつけただけでも、ゲート電極16の加工は、格段に容易化できる。

【0122】

また、このテーパ角度 θ を持つように凸状薄膜Si層を形成するには、例えば第1実施形態の図4A、図4Bを参照して説明した、マスク層22をエッチングのマスクに用いて、Si基板10をエッチングする際に、エッチング条件を調整すればよい。1～3度の順テーパ角度をつけるのは比較的容易である。

【0123】

このように凸状薄膜Si層13を、順テーパ構造とすることにより、ゲート電極16の加工を容易化でき、該加工時の寸法変換差を小さくできる、という効果を得ることができる。

【0124】

(第8実施形態)

図20はこの発明の第8実施形態に係るMOSFETを示す斜投影図、図21Aはその平面図、図21Bは図21A中の21B-21B線に沿う断面図、図21Cは図21A中の21C-21C線に沿う断面図である。

【0125】

第1実施形態では、一つのパターンからなるゲート電極16が、凸状薄膜Si

層 1 3 の上面を跨いで、その両側面に沿って形成されている例を示した。

【 0 1 2 6 】

同様に、第 5 実施形態では、一つのパターンからなるゲート電極 1 6 が、複数の凸状薄膜 S i 層 1 3 の上面をそれぞれ跨ぎ、かつそれらの両側面に沿って形成されている例を示した。

【 0 1 2 7 】

本第 8 実施形態は、図 2 0、図 2 1 A ~ 図 2 1 C に示すように、ゲート電極 1 6 を、凸状薄膜 S i 層 1 3 の側面に形成されたゲート絶縁膜 1 8 a と接する第 1 ゲート電極 1 6 a、および膜 S i 層 1 3 の上面に形成されたゲート絶縁膜 (T O P 絶縁膜) 1 8 b と接する第 2 ゲート電極 1 6 b の複数のパターンにより構成したものである。なお、本例では、第 2 実施形態と同様に、ゲート絶縁膜 (T O P 絶縁膜) 1 8 b は、ゲート絶縁膜 1 8 a よりも厚いもの、とする。

【 0 1 2 8 】

第 1 ゲート電極 1 6 a は、凸状薄膜 S i 層 1 3 の第 1 の側面、およびこの第 1 の側面に相対した第 2 の側面にそれぞれ個別に形成されている。そして、これら各第 1 ゲート電極 1 6 a どうしを、第 2 ゲート電極 1 6 b となる接続のためのメタル層で接続している。ここで、第 2 ゲート電極 1 6 b は、M O S F E T のゲート電極として機能させることも可能であるし、第 2 ゲート絶縁膜 (T O P 絶縁膜) 1 8 b を十分に厚くし、単純に配線として機能させることも可能である。単純に配線として機能させた場合には、第 1 の側面に形成された第 1 の M O S F E T のゲート電極と、第 1 の側面に相対した第 2 の側面に形成された第 2 の M O S F E T のゲート電極とを、配線によって互いに接続し、これら 2 つの M O S F E T を、一つの M O S F E T として動作させるようにした構造、といえる。

【 0 1 2 9 】

本第 8 実施形態に係る構造を形成するためには、ゲート絶縁膜 (T O P 絶縁膜) 1 8 b をエッチングのマスクに用いて、凸状薄膜 S i 層 1 3 a の側壁に、第 1 ゲート電極 1 6 a となる導電物を、R I E 法を用いた側壁残し法にて残し、その後、レジスト膜をマスクに用いて、ゲート電極 1 6 a の形状に加工することで実現できる。このとき、凸状薄膜 S i 層 1 3 の上面に形成された、ゲート絶縁膜 (

TOP絶縁膜) 18bが、RIE時のエッチングのマスクとして使用できる他、RIE時のエッチング・ダメージが、凸状薄膜Si層13に入るのを防止する。このように本第8の実施形態に係る構造において、ゲート絶縁膜(TOP絶縁膜) 18bは、特に重要な役割を果たす。

【0130】

また、第1ゲート電極16aと第2ゲート電極16bとの間には、合わせズレが発生する可能性が有るが、MOSFETの電気特性には影響はない。

【0131】

このような第8の実施形態に係る電極構造をとることにより、凸状薄膜Si層13の側壁のみに、第1ゲート電極16aの材料、例えば不純物をドーブしたポリSi層を形成できる。このため、MOSFETの電気特性に応じてゲート電極の材料を変更できる、という特長がある。

【0132】

また、第1ゲート電極16aの膜厚を、例えば50nm程度に薄膜化しても、第2ゲート電極16bとなるメタル層を、例えば膜厚100nm程度のW膜/TiN膜/Ti膜の積層膜等で形成すれば、配線抵抗の増加を抑制することができる。

【0133】

(第9実施形態)

図22はこの発明の第9実施形態に係るMOSFETを示す斜投影図、図23Aはその平面図、図23Bは図23A中の23B-23B線に沿う断面図、図23Cは図23A中の23C-23C線に沿う断面図である。

【0134】

第8実施形態では、第1ゲート電極16aを、凸状薄膜Si層13の互いに相対する2つの側面上に形成されたゲート絶縁膜18a上に形成し、これら第1ゲート電極16aどうしを、凸状薄膜Si層13の上面上に形成されたゲート絶縁膜(TOP絶縁膜) 18b上に形成された第2ゲート電極16bを用いて、互いに接続する構造について説明した。

【0135】

本第 9 実施形態は、図 2 2、図 2 3 A、図 2 3 B に示すように、第 1 ゲート電極 1 6 a を凸状薄膜 S i 層 1 3 の互いに相対する 2 つの側面およびその上面の 3 つの面上に形成されたゲート絶縁膜 1 8 上に形成されたゲート電極 1 6 と、このゲート電極 1 8 に電氣的に接続される第 2 ゲート電極（メタル）1 6 b とからなる積層ゲート電極を持つ。

【 0 1 3 6 】

このような構造を形成するには、第 1 実施形態において、図 8 A、図 8 B に示す工程において、ゲート電極 1 6 を所望の形状に加工した後、ゲート電極 1 6 の側壁に側壁絶縁膜 2 5 を形成し、ソース／ドレイン領域 1 7 を形成する（図 9 A、図 9 B）。この後、層間絶縁膜 2 6 を形成し、これを平坦化する（図 1 0 A、図 1 0 B）。この層間絶縁膜 2 6 の平坦化時、ゲート電極 1 6 の表面を、選択的に露出させるようにする。この後、第 2 ゲート電極 1 6 b となるメタル積層膜（例えば W 膜／T i N 膜／T i 膜）を堆積し、レジスト膜（図示せず）を用いて所望の形状にパターニングし、第 2 ゲート電極 1 6 b を形成する。

【 0 1 3 7 】

本第 9 実施形態においても、第 8 実施形態と同じように、ゲート電極 1 6 と第 2 ゲート電極 1 6 b との間には合わせズレが発生する可能性が有るが、M O S F E T の電気特性には影響はない。

【 0 1 3 8 】

このような本第 9 実施形態に係る電極構造とすることにより、凸状薄膜 S i 層 1 3 の両側面および上面の 3 つの側面に、第 1 のゲート電極材料、例えば不純物をドーピングしたポリ S i 層により構成されたゲート電極 1 6 を形成できる。さらにゲート電極 1 6 に電氣的に接続される、例えばより抵抗値が低い第 2 のゲート電極材料、例えばメタルやメタル積層膜により構成された第 2 ゲート電極 1 6 b を形成できる。このため、M O S F E T の電気特性に応じて、ゲート電極材料を変更することができる、という特長がある。

【 0 1 3 9 】

また、ゲート電極 1 6 を、例えば 5 0 n m 程度に薄膜化しても、第 2 ゲート電極となる積層メタル接続層で、配線抵抗の増加を抑制することができる。

【0 1 4 0】

(第 1 0 実施形態)

図 2 6 は、この発明の第 1 0 実施形態に係る MOSFET を示す断面図である。なお、図 2 6 に示す断面は図 1 B に示す断面に相当する。

【0 1 4 1】

第 1 実施形態では、凸状薄膜 Si 層 1 3 の下部周辺領域に素子分離絶縁膜 1 4 を埋め込み形成する場合に、図 6 A、図 6 B に示すように、凸状薄膜 Si 層 1 3 の側面の延長面に素子分離絶縁膜 1 4 が形成されている。

【0 1 4 2】

本第 1 0 実施形態は、素子分離絶縁膜 1 4 を埋め込み形成する場合に、凸状薄膜 Si 層 1 3 の下部領域に、素子分離絶縁膜 1 4 の埋め込み形状が劣化しない様に、例えば約 1 0 度程度の順テーパ角度 θ を持つように形成する例である。

【0 1 4 3】

図 2 6 に示すように、凸状薄膜 Si 層 1 3 の下部領域に、例えば垂直な場合に比べて 1 0 度程度の順テーパ角度 θ をつけることにより、図 5 A、図 5 B に示した絶縁膜 2 3 の、特に凸状薄膜 Si 層 1 3 の下部領域における埋め込み性を著しく向上できる。

【0 1 4 4】

また、凸状薄膜 Si 層 1 3 の下部領域にテーパ角度 θ を持つように加工するには、凸状薄膜 Si 層 1 3 のエッチング時の最終段階に、エッチング条件を変更し、順テーパ角度 θ がつくようにすれば良い。凸状薄膜 Si 層 1 3 の下部領域に、約 1 0 度の順テーパ角度 θ をつけることは、エッチング条件の変更で比較的容易に実現できる。

【0 1 4 5】

このように凸状薄膜 Si 層 1 3 の下部領域が、約 1 0 度の順テーパ角度 θ を持ち、その上部領域の MOSFET のチャネルとなるほぼ垂直な側面を持つ凸状 Si 構造にすることにより、素子分離絶縁膜 1 4 の埋め込み特性を改善でき、安定した素子分離領域を形成できるという特長がある。

【0 1 4 6】

(第 1 1 実施形態)

図 2 7 は、この発明の第 1 1 実施形態に係る MOS F E T を示す断面図である。
 。なお、図 2 7 に示す断面は図 1 B に示す断面に相当する。

【 0 1 4 7 】

第 1 実施形態、および第 1 0 実施形態では、凸状薄膜 S i 層 1 3 の下部領域に、素子分離絶縁膜 1 4 を埋め込み形成する場合、図 6 A、図 6 B に示すように、素子分離絶縁膜 1 4 の上面が S i 基板 1 0 面に対して、ほぼ水平になるように形成されている例や、素子分離絶縁膜 1 4 の底部コーナーがほぼ垂直になっている例について述べた。

【 0 1 4 8 】

本第 1 1 実施形態では、素子分離絶縁膜 1 4 を埋め込み形成する場合に、素子分離絶縁膜 1 4 の埋め込み形状が劣化しないように、例えば凸状薄膜 S i 層 1 3 の底部コーナーが半径 = 5 0 n m 程度の丸みを持つように形成する例と、素子分離絶縁膜 1 4 の表面が S i 基板 1 0 表面に対して、ほぼ水平ではなくて凸状薄膜 S i 層 1 3 の周辺部から素子分離絶縁膜 1 4 の中心部に向かって膜厚が薄くなるように形成する例とについて述べる。

【 0 1 4 9 】

図 2 7 に示すように、例えば凸状薄膜 S i 層 1 3 の底部コーナーに、半径 5 0 n m 程度のラウンドを形成することにより、図 5 A、図 5 B に示した素子分離絶縁膜 1 4 の、特に凸状薄膜 S i 層 1 3 の下部領域における埋め込み性を著しく向上できる。

【 0 1 5 0 】

また、このような凸状薄膜 S i 層 1 3 の底部コーナーがラウンドを持つように加工するには、凸状薄膜 S i 層 1 3 のエッチング条件を変更し、底部コーナーがラウンドを持つようにすれば良い。

【 0 1 5 1 】

また、例えば凸状薄膜 S i 層 1 3 の下部領域における素子分離絶縁膜 1 4 の膜厚を凸状薄膜 S i 層 1 3 の下部領域において厚く、素子分離絶縁膜 1 4 の中心部に行くに従って薄くなるように形成すると、ゲート電極 1 6 を加工する場合、凸

状薄膜 Si 層 1 3 の下部周辺の素子分離絶縁膜 1 4 表面において、ゲート電極 1 6 の残りを防止でき、ゲート電極 1 6 どうしのショートを防止でき、製品の歩留まりを向上できる。

【0152】

また、素子分離絶縁膜 1 4 を上記形状を持つように加工するには、凸状薄膜 Si 層 1 3 の側面に、例えば 1 0 n m 程度の熱酸化膜を形成し、それを介して H D P (H i g h D e n s i t y P l a s m a) や O_3 (オゾン) -T E O S 酸化膜等の C V D 絶縁膜を埋め込めば良い。CMP 法や R I E 法を用いて、図 6 A、図 6 B に示すように C V D 絶縁膜を埋め込み形成するが、最後にウエットエッチング条件を調整し、熱酸化膜に対して C V D 絶縁膜の方がウエットエッチング速度が遅いような条件（エッチング液の温度やフッ酸の濃度等）を選んでエッチングし、凸状薄膜 Si 層 1 3 の近傍だけが厚い膜厚になるような絶縁膜を形成すれば良い。

【0153】

このように凸状薄膜 Si 層の底部コーナーに半径 5 0 n m 程度のラウンドを形成することにより、特に凸状薄膜 Si 層 1 3 の下部領域における素子分離絶縁膜 1 4 の埋め込み性を著しく向上できる。

【0154】

また、例えば素子分離絶縁膜 1 4 の膜厚を、凸状薄膜 Si 層 1 3 の下部領域近傍において厚く、そして素子分離絶縁膜 1 4 の中心部に行くに従って薄くなるように形成すると、ゲート電極 1 6 を加工する場合、凸状薄膜 Si 層 1 3 の下部の素子分離絶縁膜 1 4 表面においてゲート電極 1 6 の残りを防止でき、ゲート電極 1 6 どうしのショートを防止でき、製品の歩留まりを向上できる。

【0155】

(第 1 2 実施形態)

図 2 8 は、この発明の第 1 2 実施形態に係る M O S F E T を示す断面図である。なお、図 2 8 に示す断面は、図 1 B に示す断面に相当する。

【0156】

第 1 実施形態では、凸状薄膜 Si 層 1 3 の上面と平面とが接する上部コーナー

が、ほぼ直角に加工されている例について述べた。

【 0 1 5 7 】

本第 1 2 実施形態は、この上部コーナーの丸めについて述べる。

【 0 1 5 8 】

図 2 8 に示すように、例えば上部コーナーに半径 3 0 n m 程度のラウンドを設けることにより、上部コーナーがほぼ直角な場合に比べて、M O S F E T のゲート電極 1 6 からの電界の影響を著しく低減できる。これにより、ゲート絶縁膜 1 8 の耐圧を向上でき、また、ゲート電界の集中における寄生チャネルの影響を低下できる。

【 0 1 5 9 】

このような半径 3 0 n m 程度のラウンドを、凸状薄膜 S i 層 1 3 の上部コーナーに形成するには色々な方法がある。例えば第 1 実施形態において、図 6 A、図 6 B に示す状態でマスク S i N 膜 1 5 を残したまま、凸状薄膜 S i 層 1 3 の側壁表面を熱酸化する。これにより、凸状薄膜 S i 層 1 3 の上部において、L O C O S (L o c a l O x i d a t i o n o f S i l i c o n) 的な、選択酸化を行なうことにより、上部コーナーに半径 3 0 n m 程度の食い込みを入れることができる。この後、マスク S i N 膜 1 5 を除去して、ゲート絶縁膜 1 8 を形成することにより、上部コーナーに、半径 3 0 n m 程度のラウンドを持たせることができる。ラウンドの量は、選択酸化の量により多少変更することができる。

【 0 1 6 0 】

このように凸状薄膜 S i 層 1 3 の上面の端部コーナー（上部コーナー）に、半径 3 0 n m 程度のラウンドを設けることにより、M O S F E T のゲート電極からの電界の影響を著しく低減でき、ゲート絶縁膜 1 8 の耐圧を向上でき、また、ゲート電界の集中における寄生チャネルの影響を低下できるという特長がある。

【 0 1 6 1 】

（第 1 3 実施形態）

図 3 0 はこの発明の第 1 3 実施形態の第 1 例に係る M O S F E T を示す平面図、図 3 1 はその第 2 例に係る M O S F E T を示す平面図、図 3 2 はその第 3 例に係る M O S F E T を示す平面図である。

【0 1 6 2】

第5実施形態では、大きなチャネル幅を実現するために、凸状薄膜Si層132を複数個合わせて一つのMOSFETを形成する場合について述べた。

【0 1 6 3】

本第13実施形態では、複数の凸状薄膜Si層13を合わせて一つのソース／ドレイン領域17、ゲート電極16をもつ構造として用いる場合のソース／ドレイン構造について述べる。

【0 1 6 4】

図30には第1例として、2個の凸状薄膜Si層13を持つ場合の、ソース／ドレイン領域17の結合構造が示されている。

【0 1 6 5】

図30に示すように、凸状薄膜Si層13を並列に配置し、ソース／ドレイン領域17の片方を、凸状薄膜Si層13自体を用いて共通化する。これにより、凸状薄膜Si層13は平面的に折曲され、平面から見て「U型」構造となっている。このような構造をとることによりコンタクトの数を減らすことができる。

【0 1 6 6】

図31には第2例として、4個の凸状薄膜Si層13を持つ場合の、ソース／ドレイン領域17の結合構造が示されている。

【0 1 6 7】

図31に示すように、凸状薄膜Si層13を並列に配置し、ソース／ドレイン領域17の片方を2つずつ、凸状薄膜Si層自体を用いて共通化する。これにより、凸状薄膜Si層13は、平面から見て「U型」構造を幾つか組み合わせた形となっている。このような構造をとることにより図30の場合と同じようにコンタクトの数を減らすことができる。また、凸状薄膜Si層13の構造を変化させることにより、素子配置の密度を向上できる。

【0 1 6 8】

図32には第3例として、4個の凸状薄膜Si層13を持つ場合のソース／ドレイン領域17の結合構造が示されている。

【0 1 6 9】

図 3 2 に示すように、凸状薄膜 Si 層 1 3 を並列に配置し、ソース／ドレイン領域 1 7 となる両側の凸状薄膜 Si 層 1 3 を、この凸状薄膜 Si 層 1 3 自体を用いて結合した構造となっている。このような構造をとることにより、図 3 0、図 3 1 の場合と同じようにコンタクトの数を減らすことができる。また、凸状薄膜 Si 層の構造を変化させることにより、素子配置の密度を向上できる。

【 0 1 7 0 】

(第 1 4 実施形態)

図 3 3 はこの発明の第 1 4 実施形態に係る MOSFET を示す斜投影図、図 3 4 A はその平面図、図 3 4 B は図 3 4 A 中の 3 4 B - 3 4 B 線に沿う断面図、図 3 4 C は図 3 4 A 中の 3 4 C - 3 4 C 線に沿う断面図である。また、図 3 3、図 3 4 A ~ 図 3 4 C では、図 2 A に示したコンタクトおよび配線はそれぞれ省略されている。

【 0 1 7 1 】

第 1 実施形態では、凸状薄膜 Si 層 1 3 の下部領域に周辺に、素子分離絶縁膜 1 4 があり、さらに凸状薄膜 Si 層 1 3 のチャネル領域 1 5 が Si 基板 1 0 と電気的に接続され、チャネル領域 1 5 に対して基板バイアスを印加できる構造を示した。

【 0 1 7 2 】

本第 1 4 実施形態は、図 3 3、図 3 4 A ~ 図 3 4 C に示すように、例えば SOI 基板 4 0 を用い、この SOI 基板 4 0 の絶縁膜 4 1 上に、200nm 程度の薄膜 Si 層を形成し、これを加工して凸状薄膜 Si 層 1 3 を形成したものである。さらに MOSFET のソース／ドレイン領域 1 7 の底部と、絶縁膜 4 1、例えば埋め込み酸化膜のような絶縁膜 4 1 の間に、チャネル領域 1 5 と同じ導電型の Si 層 4 2 が存在するような構造である。

【 0 1 7 3 】

このような構造では、SOI 構造であるため、基板バイアスは印加できないが、MOSFET 動作時にチャネル領域に蓄積される蓄積電荷（Nチャネルの場合はホールとなる）の影響をソース／ドレイン領域 1 7 の底部まで分布を拡大できることにより、そのソース／ドレイン耐圧の劣化などの影響を低減できる。

【 0 1 7 4 】

このような構造を実現するには、第 1 実施形態に示したような構造を、SOI 基板 4 0 を使って製造すれば良い。そして、ソース／ドレイン領域 1 7 の底部と絶縁膜 4 1 との間に、チャネル領域 1 5 と同じ導電型の Si 層 4 2 を形成することが重要である。

【 0 1 7 5 】

(第 1 5 実施形態)

図 3 5 はこの発明の第 1 5 実施形態に係る MOSFET を示す斜投影図、図 3 6 A はその平面図、図 3 6 B は図 3 6 A 中の 3 6 B - 3 6 B 線に沿う断面図、図 3 6 C は図 3 6 A 中の 3 6 C - 3 6 C 線に沿う断面図である。また、図 3 5、図 3 6 A ~ 図 3 6 C では、図 2 A に示したコンタクトおよび配線はそれぞれ省略されている。

【 0 1 7 6 】

第 1 4 実施形態では、SOI 基板 4 0 を使って凸状薄膜 Si 層 1 3 の両側面にチャネルを形成し、好ましくは動作時にチャネルを完全に空乏化し、MOSFET のショートチャネル効果を改善する構造について述べた。この時に、従来の薄膜 SOI の Fin 構造 MOSFET (図 7 0) との違いは、ソース／ドレイン領域 1 7 の底部と絶縁膜 4 1 との間に、チャネルと同じ導電型の Si 層 4 2 を設けることである。これにより、従来の薄膜 SOI を用いた MOSFET で問題であった基板浮遊効果を防止できる。

【 0 1 7 7 】

本第 1 5 実施形態は、図 3 5、図 3 6 A ~ 図 3 6 C に示すように、例えばガラス基板 4 3 を用いて、このガラス基板 4 3 の上に 2 0 0 nm 程度の膜厚を持つアモルファス Si 層を形成し、アモルファス Si 層を加工して、第 1 4 実施形態と同じような凸状薄膜 Si 層 1 3 を持った MOSFET を形成したものである。MOSFET のソース／ドレイン領域 1 7 の底部とガラス基板 4 3 との間に、チャネル領域 1 5 と同じ導電型の Si 層、本例ではアモルファス Si 層 4 4 が存在する構造は、第 1 4 実施形態と同じである。

【 0 1 7 8 】

このような構造を用いることにより、ガラス基板 4 3 を用いたアモルファス Si 層 MOSFET であるのに、完全空乏化チャネルをダブルゲート構造で実現できる。したがって、アモルファス Si-MOSFET の特性を向上できる。

【 0 1 7 9 】

このような構造を実現するには、第 1 実施形態に示したような製造方法をガラス基板 4 3 の上に形成したアモルファス Si 層を使って実現すれば良い。もちろん、本第 1 5 実施形態においても、第 1 4 実施形態と同様に、ソース／ドレイン領域 1 7 の底部とガラス基板 4 3 との間に、チャネル領域 1 5 と同じ導電型のアモルファス Si 層 4 4 を形成することが同じように重要である。

【 0 1 8 0 】

(第 1 6 実施形態)

図 3 7 A ~ 図 4 2 A、図 3 7 B ~ 図 4 2 B は、この発明の第 1 6 の実施形態に係る MOSFET の製造方法を示す工程断面図である。なお、図 3 7 A ~ 図 4 2 A に示す断面は図 2 B に示す断面に相当し、図 3 7 B ~ 図 4 2 B に示す断面は図 2 C に示す断面に相当する。

【 0 1 8 1 】

第 1 実施形態では、Si 基板 1 0 を、マスク層 2 2 を用いてエッチングすることで、凸状薄膜 Si 層 1 3 を形成する例について述べた。

【 0 1 8 2 】

本第 1 6 実施形態では、エピタキシャル Si 層を用いて、凸状薄膜 Si 層 1 3 を形成し、完全空乏化チャネルを持つダブルゲート型の MOSFET 構造を形成する方法である。以下その方法を、図 3 7 ~ 図 4 2 に示す工程断面図を参照して説明する。

【 0 1 8 3 】

まず、図 3 7 A、図 3 7 B に示すように、不純物濃度 $5 \times 10^{15} \text{ cm}^{-3}$ 程度の面方位 (1 0 0) P 型 Si 基板 1 1 0 のトランジスタ・チャネル領域に、NMOSFET を形成する場合には P 型ウェル 1 1 1 (ピーク不純物濃度で、例えば $4 \times 10^{17} \text{ cm}^{-3}$ 程度) を、例えばボロンイオン (B^+) を、加速電圧 2 6 0 KeV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ 程度イオン注入することにより形成する。また、

PMOSFETを形成する場合にはNウェル（図示せず）を形成する。次に、Si基板110上方の全面に、後に素子分離絶縁膜となるSiO₂膜114を、例えば100nm程度形成する。次に、エピタキシャルSi層を成長する場合の溝のメイン材料となるマスク層（SiN）121を、例えば200nm程度形成する。次に、エピタキシャルSi層をCMPするときの保護層となるマスク層（SiO₂）122を、例えば50nm程度形成する。次に、これらの積層膜に、例えば通常のレジスト膜（図示せず）とRIE法とを用いて、所望のパターンを形成する。本例では、エピタキシャルSi層からなる凸状薄膜Si層を形成するための溝パターン123が形成される。この後、溝パターン123から露出したSi基板10の表面から、RIE時のエッチング・ダメージや有機物汚染層等を除去する。この除去は、次の工程で行われるSiのエピタキシャル成長を考慮して行われるもので、必要に応じて行われれば良い。

【0184】

次に、図38A、図38Bに示すように、溝パターン123から露出したSi基板110の表面から自然酸化膜等を除去した後、Siをエピタキシャル成長させ、エピタキシャルSi層101を形成する。その膜厚は、溝パターン123の中を完全に埋め込めるような膜厚に設定される。その膜厚の具体的一例は、400nm程度である。次に、マスク層（SiO₂）122をマスクに用いて、エピタキシャルSi層101の表面をCMPし、溝パターン123からマスク層122上にはみ出したエピタキシャルSi層101を除去する。これにより、エピタキシャルSi層101の表面の凹凸を除去する。このようにすると、溝パターン123中に形成されたエピタキシャルSi層101のファセット等を除去でき、溝パターン123に、エピタキシャルSi層101を精度良く形成できる。エピタキシャル成長の際の成長温度や雰囲気、前処理等には注意し、例えばエピタキシャルSi層101とSi基板110との界面に、結晶欠陥等が形成されないようにすることが重要である。

【0185】

また、本例では、マスク層（SiO₂）122をマスクに用いて、エピタキシャルSi層101をCMPしたが、CMP条件等を調整することにより、マスク

層 (SiO_2) 122 を、省略することもできる。

【0186】

次に、図39A、図39Bに示すように、エピタキシャルSi層101中の少なくともトランジスタ・チャネル形成領域を含む領域に、レジスト膜（図示せぬ）をマスクに用いて、例えばボロンイオン (B^+) をイオン注入し、ピーク濃度で $2 \times 10^{18} \text{ cm}^{-3}$ 程度の不純物濃度を持つ高濃度不純物層112を形成する。この高濃度不純物層112は、パンチスルー・ストッパー層として機能する。この工程時、エピタキシャルSi層101表面には、8nm程度の膜厚の酸化膜（図示せず）を形成しておき、レジスト膜からのエピタキシャルSi層101への汚染、例えばメタル汚染等を防止する。また、注入されたイオンの活性化には、例えば900℃、窒素 (N_2) 雰囲気中で5分程度のRTA処理を用いる。これにより、急峻なプロファイルを持つP型高濃度不純物層112を形成することができる。さらに、例えばトランジスタ・チャネル形成領域を含む領域に、レジスト膜（図示せず）をマスクに用いて、所望の導電型の不純物イオンを注入し、チャネル不純物層115を形成する。このとき、チャネル不純物層115は、不純物イオンをトランジスタ・チャネル領域にのみ選択的に注入することで形成しても良い。形成されるMOSFETがNチャネル型で、そのしきい値電圧 (V_{th}) を、例えば0.7V程度に設定したい場合には、例えばボロンイオン (B^+) を、加速電圧20KeV、 $5 \times 10^{12} \text{ cm}^{-2}$ 程度イオン注入し、P型のチャネル不純物層115を、チャネルとなる領域に、選択的に均一なプロファイルとなるように形成する。この工程は、酸化膜（図示せず）を通してイオン注入を行なう。チャネル不純物層115の活性化は、この後、例えばRTA処理を用いて、例えば750℃、10秒程度の熱処理で行なっても良い。

【0187】

次に、図40A、図40Bに示すように、マスク層 (SiO_2) 122、および上記酸化膜（図示せず）を除去し、マスク層 (SiN) 121を、例えばホットリン酸溶液を用いて完全に除去する。このようにすることにより、エピタキシャルSi層101の下部領域の周辺にのみ、素子分離絶縁膜 (SiO_2) 114を均一な膜厚でウェーハ全面に残置することができる。

【 0 1 8 8 】

次に、図 4 1 A、図 4 1 B に示すように、エピタキシャル Si 層からなる凸状薄膜 Si 層 1 1 3 の上面と、およびその側面に露出した Si 層の表面に、ゲート絶縁膜 1 1 8 を形成する。ゲート絶縁膜 1 1 8 は、例えば露出した Si の表面を、例えば 7 0 0 °C 程度のラジカル酸化法を用いて、約 2 . 5 n m 程度酸化することで形成される。このラジカル酸化法を用いたゲート絶縁膜 1 1 8 の形成では、特に側面の面方位に依存し難く、Si 表面の凸凹が少ない酸化膜を実現できるので、チャネル界面散乱によるチャネル・モビリティの低下の少ない MOS トランジスタを実現できる。また、ラジカル酸化は、酸化膜の膜厚がある温度では一定の膜厚しか形成できないので、酸化膜のウェーハ面内およびチップ間での酸化膜の膜厚バラツキを少なくできる、という特長がある。もちろん、ゲート絶縁膜 1 1 8 には、熱酸化法を用いて、通常熱酸化膜を形成し、その表面を、窒素を含むガスで窒化することにより Si O N 膜とする、いわゆる「オキシナイトライド膜」ゲート絶縁膜を用いても良い。

【 0 1 8 9 】

また、図 2 5 を参照して上述したように、ゲート絶縁膜 1 1 8 には、 Ta_2O_5 (タンタルオキサイド) 膜、 Al_2O_3 膜、 La_2O_3 膜、 HfO_2 膜、 ZrO_2 膜等の、いわゆる高誘電体絶縁膜を用いても良いし、例えば 1 n m 程度の Si 酸化膜系の膜を Si 界面に形成してから、その上に Ta_2O_5 膜を形成する、いわゆる積層膜ゲート絶縁膜構造にして使用しても良い。

【 0 1 9 0 】

次に、図 4 2 A、図 4 2 B に示すように、ゲート電極 1 1 6 となる、例えば N 型不純物をドーブしたドーフト多結晶 Si 膜 (膜厚 5 0 n m 程度) を、図 4 1 A、図 4 1 B に示す構造上に堆積形成し、その上にゲートキャップ膜 1 2 4 となる、例えば Si N 膜を 5 0 n m 程度、堆積形成する。次いで、レジスト膜 (図示せず) をマスクに用いて、まず、ゲートキャップ絶縁膜 (Si N) 1 2 4 をエッチングし、次いで、ゲートキャップ絶縁膜 (Si N) 1 2 4 をマスクに用いて、ドーフト多結晶 Si 膜をパターンニングする。これにより、ゲート電極 1 1 6 が形成される。このとき、ゲート電極 1 1 6 は、凸状薄膜 Si 層 1 1 3 の段差を跨ぐよ

うに加工される。このため、ゲート電極 1 1 6 のエッチング速度とゲート絶縁膜 1 1 8 や素子分離絶縁膜 1 1 4 とのエッチング速度との比（選択比）を充分にとれる、例えば 4 0 0 程度あるような条件を用いて、ドーフト多結晶 Si 膜をパターンニングすることが重要である。このようなエッチング条件を用いることで、凸状薄膜 Si 層 1 1 3 へのエッチング・ダメージを防止できる。

【 0 1 9 1 】

また、ゲート電極 1 1 6 の抵抗を低下させるために、ドーフト多結晶 Si 膜の代わりに、メタル膜（TiN 膜、W 膜、Al 膜などやその積層膜）、あるいは多結晶 Si 膜と W 膜、TiN 膜、Al 膜、Cu 膜などのメタル膜や TiSi₂ 膜などのシリサイド膜との積層ゲート電極構造を用いることも可能である。

【 0 1 9 2 】

さらに、ゲート電極 1 1 6 の材料を TiN 等とした場合、その配向性等を調整することにより、ゲート電極 1 1 6 の仕事関数の変化を利用して MOSFET のしきい値電圧を調整することも可能である。

【 0 1 9 3 】

また、ゲート電極 1 1 0 の長さ（いわゆるゲート長）は、例えば 7 0 nm 程度とする。この発明では、PMOSFET のショートチャネル効果を抑制できるので、Nチャネル、PMOSFET 共に同じチャネル長を用いるように設計しても良い。

【 0 1 9 4 】

以下の工程は、特別に図示しないが、第 1 実施形態の図 9 A、図 9 B 以降に示したように、ソース／ドレイン領域の形成、全面に CVD-SiO₂ 膜を堆積した後の CMP による平坦化、コンタクトホール形成、さらに、Al 配線層の形成、全面にパッシベーション膜の堆積により、MOSFET の基本構造が完了する。

【 0 1 9 5 】

このようなエピタキシャル Si 層 1 0 1 を用いて、凸状薄膜 Si 層 1 1 3 を形成し、この凸状薄膜 Si 1 1 3 の両側面に、好ましくは完全空乏化チャネルを持つダブルゲート型の MOSFET 構造により、

(1) 凸状薄膜 Si 層 1 1 3 の幅を溝パターン 1 2 3 の幅で決めることができ、凸状薄膜 Si 層 1 1 3 をエッチングにより形成する場合に比べて、側面のエッチング・ダメージが無いので、側面のゲート絶縁膜 1 1 8 の歩留まりが良い。

【0 1 9 6】

(2) 凸状薄膜 Si 層 1 1 3 の下部領域の周辺に、素子分離絶縁膜 1 1 4 の膜厚を一定に形成できるため、素子分離の歩留まりが向上する。

【0 1 9 7】

(3) 凸状薄膜 Si 層 1 1 3 中に形成したソース／ドレイン領域と凸状薄膜 Si 層の下部領域に形成した素子分離絶縁膜 1 1 4 の間を離すことにより、本 MOSFET のチャンネル幅を、ソース／ドレイン領域の深さにより制御することができる。

【0 1 9 8】

(4) 凸状薄膜 Si 層 1 1 3 の幅 (W_g) は $0.20\mu m$ より狭いものとすることにより、両側に形成したゲート電極 1 1 6 によって、チャンネル領域 1 1 5 を完全に空乏化することができる。チャンネル領域 1 1 5 を完全に空乏化できると、チャンネル領域 1 1 5 の不純物濃度を、平面型のチャンネルの場合に比べて低濃度化することができる。このため、チャンネル領域 1 1 5 におけるキャリアのモビリティの低下を抑制できる。また、不純物濃度の揺らぎの影響を受け難い。また、ゲート絶縁膜 1 1 8 の膜厚バラツキに対しても、強い構造を実現できる。

【0 1 9 9】

(5) 凸状薄膜 Si 層 1 1 3 のチャンネル領域 1 1 5 とウェル 1 1 1 (もしくは Si 基板 1 1 0) との間に、高濃度不純物層 (パンチスルー・ストッパー層) 1 1 2 を設けることにより、MOSFET のパンチスルーを防止することができる。

【0 2 0 0】

(6) 凸状薄膜 Si 層 1 1 3 の側面において、ソースとドレイン間の距離を、凸状薄膜 Si 層 1 1 3 の上部領域において短く、下部領域に向かって広くなるような形状を実現することにより、ソース／ドレイン間のパンチスルーを防止できる。

【 0 2 0 1 】

(7) 凸状薄膜 Si 層 1 1 3 の下部領域において、ソース／ドレイン領域 1 1 7 の一部が、ゲート電極 1 1 6 よりも自己整合的に外側になった、従来と極めて異なった形状に形成する。このようなゲート電極 1 1 6 とソース／ドレイン領域 1 1 7 の一部とが互いにオフセットするオフセット構造を設けることによって、凸状薄膜 Si 層 1 1 3 の下部領域におけるパンチスルーを効果的に防止できる。

【 0 2 0 2 】

(8) 凸状薄膜 Si 層 1 1 3 を持つトランジスタ構造において、ゲート絶縁膜 1 1 8 に Ta_2O_5 膜などのいわゆる高誘電体絶縁膜を用いることができる。そして、トランジスタ構造が凸状で、側面の両側にゲート電極 1 1 6 がある構造のため、より効果的にトランジスタのカットオフ特性を向上できる。

【 0 2 0 3 】

(第 1 7 実施形態)

図 4 3 A ～ 図 4 7 A、図 4 3 B ～ 図 4 7 B は、この発明の第 1 7 の実施形態に係る MOSFET の製造方法を示す工程断面図である。なお、図 4 3 A ～ 図 4 7 A に示す断面は図 2 B に示す断面に相当し、図 4 3 B ～ 図 4 7 B に示す断面は図 2 C に示す断面に相当する。

【 0 2 0 4 】

第 1 6 実施形態では、エピタキシャル Si 層 1 0 1 を用いて、凸状薄膜 Si 層 1 1 3 を形成し、完全空乏化チャネルを持つダブルゲート型の MOSFET 構造を形成する、という製造方法について説明した。

【 0 2 0 5 】

本第 1 7 実施形態では、エピタキシャル Si 層 1 0 1 を用いて、凸状薄膜 Si 層 1 1 3 を形成するが、その凸状薄膜 Si 層 1 1 3 の上面に、その側面と異なった膜厚のゲート絶縁膜 1 1 8 b を形成する方法について述べる。

【 0 2 0 6 】

まず、図 4 3 A、4 3 B に示すように、不純物濃度 $5 \times 10^{15} \text{ cm}^{-3}$ 程度の面方位 (1 0 0) P 型 Si 基板 1 1 0 のトランジスタ・チャネル領域に、NMOSFET を形成する場合には P 型ウェル 1 1 1 (ピーク不純物濃度で、例えば $4 \times$

10^{17} cm^{-3} 程度)を、例えばボロンイオン (B^+) を、加速電圧 260 KeV 、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ 程度イオン注入することにより形成する。また、PMOSFETを形成する場合にはNウェル(図示せず)を形成する。次に、Si基板110上方の全面に、後に素子分離絶縁膜となる SiO_2 膜114を、例えば 100 nm 程度形成する。次に、エピタキシャルSi層を成長する場合の溝のメイン材料となるマスク層(SiN)121を、例えば 250 nm 程度形成する。次に、これらの積層膜に、例えば通常のレジスト膜(図示せず)とRIE法とを用いて、所望のパターンを形成する。本例では、エピタキシャルSi層からなる凸状薄膜Si層を形成するための溝パターン123が形成される。この後、次の工程で行われるSiのエピタキシャル成長を考慮し、溝パターン123から露出したSi基板10の表面から、RIE時のエッチング・ダメージや有機物汚染層等を除去する工程を行なっても良い。次に、溝パターン123から露出したSi基板110の表面から自然酸化膜等を除去した後、Siをエピタキシャル成長させ、エピタキシャルSi層101を形成する。その膜厚は、溝パターン123の中を完全に埋め込めるような膜厚に設定される。その膜厚の具体的一例は、 400 nm 程度である。次に、エピタキシャルSi層101の表面をCMPし、溝からはみ出したエピタキシャルSi層を除去する。これにより、エピタキシャルSi層101の表面の凹凸を除去する。このようにすると、溝パターン123中に形成されたエピタキシャルSi層101のファセット等を除去でき、溝パターン123に、エピタキシャルSi層101を精度良く形成できる。エピタキシャル成長の際の成長温度や雰囲気、前処理等には注意し、例えばエピタキシャルSi層101とSi基板110との界面に、結晶欠陥等が形成されないようにすることが重要である。

【0207】

次に、図44A、図44Bに示すように、露出したエピタキシャルSi層101表面に、ゲート絶縁膜(TOP絶縁膜)118bを、例えば 20 nm 程度形成する。このとき、熱酸化法を用いると、マスク層(SiN)121があることから、露出したエピタキシャルSi層101の表面にのみ、選択的にゲート絶縁膜(TOP絶縁膜)118bを形成できる。

【 0 2 0 8 】

次に、図 4 5 A、図 4 5 B に示すように、エピタキシャル S i 層 1 0 1 中の少なくともトランジスタ・チャネル形成領域を含む領域に、レジスト膜（図示せぬ）をマスクに用いて、例えばボロンイオン（ B^+ ）をイオン注入し、ピーク濃度で $8 \times 10^{17} \text{ cm}^{-3}$ 程度の不純物濃度を持つ高濃度不純物層 1 1 2 を形成する。この高濃度不純物層 1 1 2 は、パンチスルー・ストッパー層として機能する。このときに注入されたイオンの活性化には、例えば 900°C 、窒素（ N_2 ）雰囲気中で 5 分程度の R T A 処理を用いる。これにより、急峻なプロファイルを持つ P 型高濃度不純物層 1 1 2 を形成する。さらに、例えばトランジスタ・チャネル形成領域を含む領域に、レジスト膜（図示せず）をマスクに用いて、所望の導電型の不純物イオンを注入し、チャネル不純物層 1 1 5 を形成する。このとき、チャネル不純物層 1 1 5 は、不純物イオンをトランジスタ・チャネル領域にのみ選択的に注入することで形成しても良い。形成される M O S F E T が N チャネル型で、そのしきい値電圧（ V_{th} ）を、例えば 0.4 V 程度に設定したい場合には、例えばボロンイオン（ B^+ ）を、加速電圧 20 KeV 、 $3 \times 10^{12} \text{ cm}^{-2}$ 程度イオン注入し、P 型のチャネル不純物層 1 1 5 を、チャネルとなる領域に、選択的に均一なプロファイルとなるように形成する。チャネル不純物層 1 1 5 の活性化は、この後、例えば R T A 処理を用いて、例えば 750°C 、10 秒程度の熱処理で行なっても良い。

【 0 2 0 9 】

なお、本例では、P 型のチャネル不純物層 1 1 5 を得るためのイオン注入を、ゲート絶縁膜（T O P 絶縁膜）1 1 8 b を通して行なう例を示した。しかし、まず、 8 nm 程度の膜厚の犠牲酸化膜をエピタキシャル S i 層 1 0 1 の表面に形成し、この犠牲酸化膜を通してイオン注入を行なった後に、この犠牲酸化膜を剥離して、新たにエピタキシャル S i 層 1 0 1 の表面に、ゲート絶縁膜（T O P 絶縁膜）1 1 8 b を形成しても良い。このように犠牲酸化膜を通したイオン注入を行うことで、レジスト膜をマスクにしてイオン注入を行なうときのレジスト膜からのエピタキシャル S i 層 1 0 1 へのメタル汚染等を防止することができる。

【 0 2 1 0 】

次に、図 4 6 A、図 4 6 B に示すように、マスク層 (SiN) 1 2 1 を、例えばホットリン酸溶液を用いて完全に除去する。このようにすることにより、エピタキシャル Si 層 1 0 1 の下部領域の周辺にのみ、素子分離絶縁膜 (SiO₂) 1 1 4 を均一な膜厚でウェーハ全面に残置することができる。次に、エピタキシャル Si 層からなる凸状薄膜 Si 層 1 1 3 の上面と、およびその側面に露出した Si 層の表面に、ゲート絶縁膜 1 1 8 を形成する。ゲート絶縁膜 1 1 8 は、例えば露出した Si の表面を、例えば 7 0 0 °C 程度のラジカル酸化法を用いて、約 2 . 5 nm 程度酸化することで形成される。このラジカル酸化法を用いたゲート絶縁膜 1 1 8 の形成では、特に側面の面方位に依存し難く、Si 表面の凸凹が少ない酸化膜を実現できるので、チャネル界面散乱によるチャネル・モビリティの低下の少ない MOS トランジスタを実現できる。また、ラジカル酸化は、酸化膜の膜厚がある温度では一定の膜厚しか形成できないので、酸化膜のウェーハ面内およびチップ間での酸化膜の膜厚バラツキを少なくできる、という特長がある。もちろん、ゲート絶縁膜 1 1 8 には、熱酸化法を用いて、通常熱酸化膜を形成し、その表面を、窒素を含むガスで窒化することにより SiON 膜とする、いわゆる「オキシナイトライド膜」ゲート絶縁膜を用いても良い。

【 0 2 1 1 】

また、図 2 5 を参照して上述したように、ゲート絶縁膜 1 1 8 には、Ta₂O₅ (タンタルオキサイド) 膜や HfO₂ 膜、ZrO₂ 膜等の、いわゆる高誘電体絶縁膜を用いても良いし、例えば 1 nm 程度の Si 酸化膜系の膜を Si 界面に形成してから、その上に Ta₂O₅ 膜を形成する、いわゆる積層膜ゲート絶縁膜構造にして使用しても良い。

【 0 2 1 2 】

次に、図 4 7 A、図 4 7 B に示すように、ゲート電極 1 1 6 となる、例えば N 型不純物をドーブしたドーフト多結晶 Si 膜 (膜厚 8 0 nm 程度) を、図 4 1 A、図 4 1 B に示す構造上に堆積形成し、その上にゲートキャップ膜 1 2 4 となる、例えば SiN 膜を 5 0 nm 程度、堆積形成する。次いで、レジスト膜 (図示せず) をマスクに用いて、まず、ゲートキャップ絶縁膜 (SiN) 1 2 4 をエッチングし、次いで、ゲートキャップ絶縁膜 (SiN) 1 2 4 をマスクに用いて、ド

ーフト多結晶Si膜をパターニングする。これにより、ゲート電極116が形成される。このとき、ゲート電極116は、凸状薄膜Si層113の段差を跨ぐように加工される。このため、ゲート電極116のエッチング速度とゲート絶縁膜118や素子分離絶縁膜114とのエッチング速度との比（選択比）を充分に取れる、例えば400程度あるような条件を用いて、ドーフト多結晶Si膜をパターニングすることが重要である。このようなエッチング条件を用いることで、凸状薄膜Si層113へのエッチング・ダメージを防止できる。

【0213】

また、ゲート電極16の抵抗を低下させるために、ドーフト多結晶Si膜の代わりに、メタル膜（TiN膜、W膜、Al膜などやその積層膜）、あるいは多結晶Si膜とW膜、TiN膜、Al膜、Cu膜などのメタル膜やTiSi₂膜などのシリサイド膜との積層ゲート電極構造を用いることも可能である。

【0214】

さらに、ゲート電極16の材料をTiN等とした場合、その配向性等を調整することにより、ゲート電極16の仕事関数の変化を利用してMOSFETのしきい値電圧を調整することも可能である。

【0215】

また、ゲート電極16の長さ（いわゆるゲート長）は、例えば50～70nm程度とする。この発明では、詳しくは後述するがPMOSFETのショートチャネル効果を抑制できるので、Nチャネル、PMOSFET共に同じチャネル長を用いるように設計しても良い。

【0216】

このような構造を用いることで、凸状薄膜Si層113の3面（上面、両側面）のチャネル領域115において、上面に形成されたゲート絶縁膜（TOP絶縁膜）118bの膜厚が、両側面に形成されたゲート絶縁膜118aの膜厚より厚いため、上部コーナーにおけるゲート電界集中の影響を低減することができる。よって、しきい値電圧を所望の値に高精度に設定でき、また、基板バイアス特性、即ち基板バイアスを印加したときのしきい値電圧の変動を抑制することができる。

【 0 2 1 7 】

(第 1 8 実施形態)

図 4 8 A はこの発明の第 1 8 実施形態に係る相補型 MOSFET を示す平面図、図 4 8 B は図 4 8 A 中の 4 8 B - 4 8 B 線に沿う断面図、図 4 8 C は図 4 8 A 中の 4 8 C - 4 8 C 線に沿う断面図、図 4 8 D は図 4 8 A 中の 4 8 D - 4 8 D 線に沿う断面図である。

【 0 2 1 8 】

以下、第 1 8 実施形態を、その製造方法とともに説明する。

【 0 2 1 9 】

図 4 9 ～ 図 5 4 はそれぞれ、第 1 8 実施形態に係る相補型 MOSFET を主要な製造工程毎に示す工程断面図である。なお、図 4 9 ～ 図 5 4 に示す断面は、図 4 8 B に示す断面に対応している。

【 0 2 2 0 】

まず、図 4 9 に示すように、不純物濃度 $5 \times 10^{15} \text{ cm}^{-3}$ 程度の面方位 (1 0 0) P 型 Si 基板 3 1 0 の、NMOSFET 形成領域 (NMOSFET 領域) に、レジスト膜 (図示せぬ) をマスクに用いて、例えばボロンイオン (B^+) を、加速電圧 2 0 0 K e V、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ 程度イオン注入し、P 型ウェル 3 1 1 p (ピーク不純物濃度で、例えば $4 \times 10^{17} \text{ cm}^{-3}$ 程度) を形成する。

【 0 2 2 1 】

次に、P 型ウェル 3 1 1 p 中の、少なくとも N チャネルのトランジスタ・チャネル形成領域を含む領域に、レジスト膜 (図示せぬ) をマスクに用いて、例えばボロンイオン (B^+) をイオン注入し、ピーク濃度で $8 \times 10^{17} \text{ cm}^{-3}$ 程度の不純物濃度を持つ P 型高濃度不純物層 3 1 2 p を形成する。P 型高濃度不純物層 3 1 2 p は、パンチスルー・ストッパー層として機能する。

【 0 2 2 2 】

次に、P 型 Si 基板 3 1 0 の、PMOSFET 形成領域 (PMOSFET 領域) に、レジスト膜 (図示せぬ) をマスクに用いて、例えばリンイオン (P^+) を、加速電圧 6 0 0 K e V、ドーズ量 $2.5 \times 10^{13} \text{ cm}^{-2}$ 程度イオン注入し、N 型ウェル 3 1 1 n (ピーク不純物濃度で、例えば $5 \times 10^{17} \text{ cm}^{-3}$ 程度) を形成

する。

【 0 2 2 3 】

次に、N型ウェル 3 1 1 n 中の、少なくともPチャネルのトランジスタ・チャネル形成領域を含む領域に、レジスト膜（図示せぬ）をマスクに用いて、例えばリンイオン（ P^+ ）を、加速電圧 1 3 0 K e V、ドーズ量 $2 \times 1 0^{13} \text{ cm}^{-2}$ 程度でイオン注入し、ピーク濃度で $9 \times 1 0^{17} \text{ cm}^{-3}$ 程度の不純物濃度を持つN型高濃度不純物層 3 1 2 n を形成する。N型高濃度不純物層 3 1 2 n は、パンチスルー・ストッパー層として機能する。

【 0 2 2 4 】

これらのイオン注入工程時、P型Si基板 3 1 0 の表面に、8 nm 程度の膜厚の酸化膜（図示せず）を形成しておく。このようにして、レジスト膜（図示せず）からのP型Si基板 3 1 0 への汚染、例えばメタル汚染を防止する。また、注入されたイオンの活性化には、例えば 9 0 0 °C、窒素（ N_2 ）雰囲気中で5分程度のRTA処理を用いる。これにより、急峻なプロファイルを持つ高濃度不純物層 3 1 2 p、3 1 2 n を形成することができる。

【 0 2 2 5 】

さらに、全面にP型で、 $1 0^{15} \text{ cm}^{-3}$ 程度の不純物濃度を持つエピタキシャルSi層 3 0 1 を、膜厚 2 0 0 nm 程度形成する。

【 0 2 2 6 】

さらに、例えばトランジスタ・P型チャネル形成領域、およびN型チャネル形成領域を含む領域に、レジスト膜（図示せず）をマスクに用いて、所望の導電型の不純物イオンを注入し、N型チャネル不純物層 3 1 5 n、P型チャネル不純物層 3 1 5 p を形成する。このとき、これらチャネル不純物層 3 1 5 n、P型チャネル不純物層 3 1 5 p はそれぞれ、不純物イオンをトランジスタ・P型チャネル形成領域、およびN型チャネル形成領域にのみ選択的に注入することで形成しても良い。本例では、後者を採用しており、図 4 9 に示す断面には、それぞれ選択的に形成されたLOCALチャネル領域（P型層）3 1 5 p、およびLOCALチャネル領域（N型層）3 1 5 n が示されている。

【 0 2 2 7 】

形成されるMOSFETがNチャネル型で、そのしきい値電圧 (V_{th}) を、例えば0.4 V程度に設定したい場合には、例えばフッ化ボロンイオン (BF_2^+) を、15 KeV、 $3 \times 10^{12} \text{ cm}^{-2}$ 程度イオン注入し、P型LOCALチャネル領域315 pを、チャネルとなる領域に、選択的に均一なプロファイルとなるように形成する。

【0228】

同様に、形成されるMOSFETがPチャネル型で、そのしきい値電圧 (V_{th}) を、例えば-0.4 V程度に設定したい場合には、例えばリンイオン (P^+) を、加速電圧100 KeV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ 程度イオン注入し、N型LOCALチャネル領域315 nを、チャネルとなる領域に、選択的に均一なプロファイルとなるように形成する。これらの工程は、酸化膜 (図示せず) を通してイオン注入を行なう。このチャネル領域315 p、315 nの活性化は、この後、例えば、RTA処理を用いて、例えば750℃、10秒程度の熱処理で行なっても良い。

【0229】

次に、上記酸化膜 (図示せず) を除去し、再度、全面に5 nm程度の膜厚の SiO_2 層320、20 nm程度の膜厚のマスク層 (SiN) 膜321、20 nm程度の膜厚のマスク層 (SiO_2 層) 322を形成し、リソグラフィ法とRIE法を用いて、所望の形状、例えばNMOSFET、およびPMOSFETそれぞれの素子領域となる形状に加工する。図49中の点線は、後の工程でエッチング除去される領域を示している。

【0230】

次に、図50に示すように、図49に示す構造を、マスク層322をエッチングマスクに用いてエッチングし、ソース、ドレイン、チャネルとなる凸状薄膜 Si 層 (フェンス) 313 p、313 nをそれぞれ形成する。これら凸状薄膜 Si 層313 p、313 nの高さはそれぞれ、例えば250 nm程度である。このように、図49に示す構造を、 Si 基板310中のP型ウェル311 pの一部、およびN型ウェル311 nの一部に達するまで、例えばRIE法を用いてエッチングすることで、深さ250 nm程度の溝が形成される。これにより、凸状薄膜 Si

i 層 313p、313n がそれぞれ形成される。次に、凸状薄膜 Si 層 313p、313n の側面や溝の底を、アッシングとウェット処理等を用いてクリーニングするとともに、RIE によってダメージを受けた Si 層を除去する。これにより、凸状薄膜 Si 層 313p、313n の側面や溝の底に、ダメージの少ない Si 表面を露出させる。次に、凸状薄膜 Si 層 313p、313n の側面や溝の底に、界面特性を良くする目的で、酸化膜（図示せず）を形成する。この酸化膜の形成には、低温（例えば 700℃ 程度）で良質の酸化膜を形成できる、酸素ラジカルを用いたラジカル酸化法を用いるのが望ましい。このようにラジカル酸化法を用いて、凸状薄膜 Si 層 313p、313n の側面や溝の底に、7nm 程度の膜厚の酸化膜（図示せず）を形成する。

【0231】

次に、前記酸化膜を介して、溝を、絶縁膜、例えば SiO_2 、好ましくは TEOS- SiO_2 層 323 により埋め込む。これにより、いわゆるトレンチ型素子分離（STI）を形成する。これには、全面に 500nm 程度の TEOS- SiO_2 層 323 を、成膜温度 650℃ 程度の CVD 法を用いて堆積形成した後、例えば 700℃ 程度のラジカル酸化雰囲気中で、TEOS- SiO_2 層 323 を、CVD 酸化膜のデンシファイする。この後、CMP 法を用いて、TEOS- SiO_2 層 323 の表面を、平坦化する。このとき、SiN 膜 321 の表面まで、TEOS- SiO_2 層 323 を埋め込む。これにより、溝は、TEOS- SiO_2 層 323 により平坦に埋め込まれる。

【0232】

次に、図 51 に示すように、TEOS- SiO_2 層 323 を、例えば RIE 法を用いてエッチバックすることにより、溝の底部に、例えば 100nm 程度の膜厚となる素子分離用の素子分離絶縁膜 314 を形成する。

【0233】

次に、図 52 に示すように、マスク層（SiN）321 を、例えばホット磷酸等を用いて、ウェット除去する。次いで、溝の側面に形成されている酸化膜（図示せず）および SiO_2 層 320 を、フッ酸系の溶液を用いて剥離し、凸状薄膜 Si 層 313p、313n の上面、およびその側面から Si 表面を露出させる。

次いで、露出した Si の表面に、例えば 700℃ 程度のラジカル酸化法を用いて、約 2.5 nm 程度の膜厚のゲート絶縁膜 318 を形成する。このラジカル酸化法を用いたゲート絶縁膜 318 の形成では、特に側面の面方位に依存し難く、Si 表面の凸凹が少ない酸化膜を実現できるので、チャネル界面散乱によるチャネル・モビリティの低下の少ない MOS トランジスタを実現できる。また、ラジカル酸化は、酸化膜の膜厚がある温度では一定の膜厚しか形成できないので、酸化膜のウェーハ面内およびチップ間での酸化膜の膜厚バラツキを少なくできる、という特長がある。もちろん、ゲート絶縁膜 318 には、熱酸化法を用いて、通常熱酸化膜を形成し、その表面を、窒素を含むガスで窒化することにより SiO₂N 膜とする、いわゆる「オキシナイトライド膜」ゲート絶縁膜を用いても良い。

【0234】

さらに、図 25 に示すように、ゲート絶縁膜 18 は、SiO₂ 膜に限らず、Ta₂O₅（タンタルオキサイド）膜や、HfO₂ 膜、ZrO₂ 膜等の、いわゆる高誘電体絶縁膜（high-K 膜）を用いても良い。また、Ta₂O₅ 膜を用いた場合、Si 界面との界面準位密度を減らすために、例えば 1 nm 程度の Si 酸化膜系の膜を Si 界面に形成してから、その上に Ta₂O₅ 膜を形成する、いわゆる積層膜ゲート絶縁膜構造にして使用しても良い。

【0235】

次に、図 53 に示すように、ゲート電極 316 となる、例えば N 型不純物がドーパされたドーフト多結晶 Si 膜（膜厚 50 nm 程度）を、図 52 に示す構造上に堆積形成し、その上にゲートキャップ絶縁膜 324 となる、例えば SiN 膜を 100 nm 程度、堆積形成する。次いで、レジスト膜（図示せず）をマスクに用いて、まず、ゲートキャップ絶縁膜（SiN）324 をエッチングし、次いで、ゲートキャップ絶縁膜（SiN）324 をマスクに用いて、ドーフト多結晶 Si 膜をパターニングする。これにより、ゲート電極 316 が形成される。このとき、ゲート電極 316 は、凸状薄膜 Si 層 313 の段差を跨ぐように加工される。このため、ゲート電極 316 のエッチング速度とゲート絶縁膜 318 のエッチング速度との比（選択比）を充分にとれる、例えば 400 程度あるような条件を用いて、ドーフト多結晶 Si 膜をパターニングすることが重要である。このような

エッチング条件を用いることで、凸状薄膜Si層313p、313nそれぞれへのエッチング・ダメージを防止できる。また、ゲート電極316の抵抗を低下させるために、ドーフト多結晶Si膜の代わりに、メタル膜(TiN膜、W膜、Al膜などやその積層膜)、あるいは多結晶Si膜とW膜、TiN膜、Al膜、Cu膜などのメタル膜やTiSi₂膜などのシリサイド膜との積層ゲート電極構造を用いることも可能である。さらに、ゲート電極316の材料をTiN等とした場合、その配向性等を調整することにより、ゲート電極16の仕事関数の変化を利用してMOSFETのしきい値電圧を調整することも可能である。

【0236】

さらに本例のようにCMOS構造の場合、NチャネルにはN⁺型多結晶Si層ゲート電極、PチャネルにはP⁺型多結晶Si層ゲート電極を電極界面層として用いることも可能である。

【0237】

また、ゲート電極316の長さ(いわゆるゲート長)は、例えば70nm程度とする。この発明では、PMOSFETのショートチャネル効果を抑制できるので、Nチャネル、PMOSFET共に同じチャネル長を用いるように設計することも可能である。

【0238】

次に、図54に示すように、レジスト膜(図示せず)、ゲートキャップ絶縁膜324、およびゲート電極316をマスクに用いたイオン注入法により、P型ソース/ドレイン領域317p、およびN型ソース/ドレイン領域317nをそれぞれ形成する。このとき、ゲート電極316の側壁や、底部コーナーの電界集中を緩和するために、ゲート電極316を、例えばラジカル酸化法や低温のRTO法等を用いて酸化し、例えば2nm程度の膜厚を持つ酸化膜(図示せず)を形成しても良い。

【0239】

また、ソース/ドレイン領域317p、317nの深さ(X_j)制御は、凸状Siトランジスタのチャネル幅を決める重要な工程である。特にソース/ドレイン領域317p、317nの不純物の活性化等を含めて熱処理の温度設定に注意

が必要である。

【0240】

本例では、このために、まず、 N^- 型拡散層317naと、 P^- 型拡散層317paとを、ゲート電極316をマスク用いて形成した後、絶縁膜(SiO_2 膜や SiN 膜)を、全面にCVD法で堆積する。また、 N^- 型拡散層317naを形成する際のイオン注入条件は、例えば、リンイオン(P^+)の注入を、加速電圧40KeV、ドーズ量 $4 \times 10^{13} cm^{-2}$ 程度である。もちろん、砒素イオン(As)等をイオン注入しても良い。この後、全面をRIEし、ゲート電極316パターンの側壁、および凸状薄膜Si層313p、313nの側壁に、側壁絶縁膜325を形成する。この後、例えば砒素(As^+)イオンを、加速電圧20KeV、ドーズ量 $5 \times 10^{15} cm^{-2}$ 程度イオン注入し、N型ソース/ドレイン領域(N^+ 型拡散層)317nbを形成し、さらにフッ化簿RN(BF_2^+)イオンを注入し、P型ソース/ドレイン領域(P^+ 型拡散層)317nbを形成する。これにより、図29Dに示したような、いわゆるゲート・エクステンション構造を持ったソース/ドレイン領域317p、317nをそれぞれ形成する。もちろんシングル・ソース/ドレイン構造とすることも可能である。

【0241】

N型ソース/ドレイン領域317nの深さ(W_n)、およびP型ソース/ドレイン領域317pの深さ(W_p)は、最終的なイオン注入層形成後の熱的な活性化や熱処理条件により制御される。例えばN型の接合深さ(W_n) = $0.15 \mu m$ 程度になるように、また、P型の接合深さ(W_p) : $0.20 \mu m$ 程度になるようにそれぞれのイオン注入条件(加速電圧とドーズ量)および熱的な活性化条件を制御して実現する。

【0242】

また、ソース/ドレイン領域317n、317pの比抵抗を低下させる必要がある場合には、例えば $< 50 \mu \Omega cm$ 程度より低くした場合には、ソース/ドレイン領域317n、317pの表面に、 $TiSi_2$ や $CoSi_2$ 、 $PtSi$ 、 Pd_2Si 、 $IrSi_3$ 、 $RhSi$ 等のシリサイド層(図示せず)を形成しても良い。特にP型ソース/ドレイン領域317pにおいては、 Pd_2Si が有効である。

【0243】

本例では、凸状薄膜Si層313pの側面のN型ソース／ドレイン領域317nの下部、および凸状薄膜Si層313nの側面のP型ソース／ドレイン領域317pの下部それぞれに、ゲート電極316とオフセットとなるオフセット領域が存在することになる。これはソース／ドレイン領域317n、317pを、表面からのイオン注入法と熱拡散により形成しているからである。このオフセット領域の存在と、パンチスルー防止のためのイオン注入層（パンチスルー・ストッパー層312）とにより、ソース／ドレイン領域317n、317pの下部領域におけるパンチスルーが防止できる構造となっている。

【0244】

さらに本例では、凸状薄膜Si層313n、313pそれぞれの側面が、側壁絶縁膜325によって覆われているので、ソース／ドレイン領域317n、317pを形成するためのイオン注入時、凸状薄膜Si層313n、313pそれぞれの上面へのイオン注入がメインとなり、側面への不純物のイオン注入は防止できる構造となっている。

【0245】

次に、図48A～図48Dに示すように、CVD法を用いて、図54に示した構造上に、SiO₂を、例えば500nm程度堆積し、層間絶縁膜326を形成する。この後、層間絶縁膜326を、例えば700℃程度のラジカル酸化雰囲気中、例えば30分程度デンシファイする。この熱工程は、ソース／ドレイン領域317n、317pのイオン注入層の活性化を兼ねて行っても良い。これらソース／ドレイン領域317n、317pの深さ(W_n、W_p)を制御したい時は、デンシファイの温度を低温化する、あるいは例えば850℃程度でmsec（ミリ秒）程度のRTA処理を行っても良い。さらにはこれらを併用してソース／ドレイン領域317n、317pのイオン注入層の活性化を行なっても良い。この後、CMP法を用いて、層間絶縁膜326を平坦化し、素子表面を平坦化する。次に、レジスト膜（図示せず）とRIE法を用いて、コンタクトホール327を形成し、そのコンタクトホール327にW（タングステン）膜やAl（アルミ）膜、TiN（窒化チタン）膜／Ti（チタン）膜やそれらの積層膜を埋め込み、

コンタクトプラグ 3 2 8 を形成する。さらに A 1 配線層 3 2 9 を形成する。さらに全面にパッシベーション膜（図示せず）を堆積することで、この発明の第 1 8 実施形態に係る相補型 MOS F E T の基本構造が完成する。

【 0 2 4 6 】

このように、この発明は、相補型 MOS F E T にも適用できる。これにより、CMOS インバータ回路や、配線を変更することによって各種 CMOS 回路を構成できる。

【 0 2 4 7 】

また、特に図 4 8 A ～ 図 4 8 D に示すように、平面的な設計面積は NMOS F E T と PMOS F E T で同じであるのに、N 型ソース／ドレイン領域 3 1 7 n の深さ (W_n) と、P 型ソース／ドレイン領域 3 1 7 p の深さ (W_p) が異なる。これは、平面的な設計面積が同じでも、N チャネルの、P チャネルのチャネル幅が異なる MOS F E T を実現できていることを示している。

【 0 2 4 8 】

従来 CMOS 回路を設計する場合に、NMOS F E T に比べて PMOS F E T の平面的な設計面積をほぼ 2 倍に設計していた。電子のモビリティと正孔のモビリティとの差に起因した駆動能力のバラツキを抑制するためである。

【 0 2 4 9 】

しかし、この発明の凸状薄膜 Si 層を持つ CMOS を使えば、 W_n と W_p の差を用いてチャネル幅を変えることができるので、NMOS F E T の平面面積と PMOS F E T の平面面積との差を縮小することができる。これは本第 1 8 実施形態の大きな特長である。

【 0 2 5 0 】

本第 1 8 実施形態においても、

(1) 凸状薄膜 Si 層 3 1 3 p、3 1 3 n の幅 (W_g) を、例えば $0.20 \mu m$ より狭くすることにより、これら凸状薄膜 Si 層 3 1 3 p、3 1 3 n の両側面に形成したゲート電極 3 1 6 によって、P 型 LOCAL チャネル領域 3 1 5 p、および N 型 LOCAL チャネル領域 3 1 5 n 共に、完全に空乏化することができる。これらチャネル領域 3 1 5 p、3 1 5 n を完全に空乏化できることで、これ

らチャンネル領域 3 1 5 p、3 1 5 n の不純物濃度をそれぞれ、平面型のチャンネルの場合に比べて低濃度化することができる。このため、これらチャンネル領域 3 1 5 p、3 1 5 n におけるキャリアのモビリティの低下を抑制できる。また、不純物濃度の揺らぎの影響を受け難い。また、ゲート絶縁膜 3 1 8 の膜厚バラツキに対しても、強い構造を実現できる。

【 0 2 5 1 】

(2) 凸状薄膜 Si 層 3 1 3 p、3 1 3 n のチャンネル領域 3 1 5 p、3 1 5 n とウェル 3 1 1 p、3 1 1 n (もしくは Si 基板 3 1 0) との間に、高濃度不純物層 (パンチスルー・ストッパー層) 3 1 2 を設けることにより、MOSFET のパンチスルーを防止することができる。

【 0 2 5 2 】

(3) 凸状薄膜 Si 層 3 1 3 p、3 1 3 n の下部領域において、ソース/ドレイン領域 3 1 7 p、3 1 7 n の一部が、ゲート電極 3 1 6 よりも自己整合的に外側になった、従来と極めて異なった形状に形成する。このようなゲート電極 3 1 6 と、ソース/ドレイン領域 3 1 7 p、3 1 7 n の一部とが互いにオフセットするオフセット構造を設けることによって、凸状薄膜 Si 層 3 1 3 p、3 1 3 n の下部領域におけるパンチスルーを効果的に防止できる。

【 0 2 5 3 】

(4) 凸状薄膜 Si 層 3 1 3 p、3 1 3 n のソース/ドレイン領域 3 1 7 p、3 1 7 n にコンタクトを形成する場合に、凸状薄膜 Si 層 3 1 3 p、3 1 3 n の上面のみならず、それらの側面の一部を使用してコンタクトを形成できる。なぜならソース/ドレイン領域 3 1 7 p、3 1 7 n となっている凸状薄膜 Si 層 3 1 3 p、3 1 3 n は、従来の同じゲート長を持つ MOSFET のソース/ドレイン領域の深さに比べて何倍も深いからである。このようなソース/ドレインへのコンタクト構造により微細な MOSFET でのコンタクト抵抗を低減できる。

【 0 2 5 4 】

(5) 凸状薄膜 Si 層 3 1 3 p、3 1 3 n を持つトランジスタ構造において、ソース/ドレイン領域 3 1 7 p、3 1 7 n を、シングル・ソース/ドレイン構造ばかりでなく、いわゆる LDD 的な高濃度ソース/ドレイン領域 3 1 7 p b、3

17nbと、低濃度ソース／ドレイン領域317pa、317naとを持つ構造にしても良い。このようにするとソース／ドレイン領域317p、317n近傍の電界を緩和でき、MOSFETの信頼性を向上できる。

【0255】

(6) 凸状薄膜Si層313pに形成されたNMOSFETと、凸状薄膜Si層313nに形成されたPMOSFETとを用いてCMOS回路を形成する場合、P型ソース／ドレイン領域317pの深さ(Wp)と、N型ソース／ドレイン領域317nの深さ(Wn)とを異ならせる。WpとWnとを異ならせることで、電子のモビリティと正孔のモビリティとの違いに起因した、PMOSFETとNMOSFETとの平面的な設計寸法の差を縮めることができる。

【0256】

具体的には、P型ソース／ドレイン領域317pの深さ(Wp)を、N型ソース／ドレイン領域317nの深さ(Wn)よりも深くする。これにより、平面的な設計寸法は互いに同じであっても、PMOSFETのチャネル幅を、NMOSFETのチャネル幅より広くできる。これにより、CMOS回路を設計したとき、PMOSFETの面積を縮小でき、全体の回路面積を縮小できる。

【0257】

(7) 凸状薄膜Si層313p、313nに形成されたMOSFETを用いて、P型ソース／ドレイン領域317pの深さを互いに変える、また、N型ソース／ドレイン領域317nの深さを互いに変える。これにより、平面的な設計寸法が同じでも、チャネル幅が異なるMOSFETを実現できる。このようにすることにより、回路を設計したときにMOSFETの面積を縮小でき、全体の回路面積を縮小できる。

【0258】

(第19実施形態)

図55Aはこの発明の第19実施形態に係る相補型MOSFETを示す平面図、図55Bは図55A中の55B-55B線に沿う断面図、図55Cは図55A中の55C-55C線に沿う断面図である。

【0259】

第 1 8 実施形態では、NMOSFET の N 型ソース／ドレイン領域 3 1 7 n の深さ W_n と、PMOSFET の P 型ソース／ドレイン領域 3 1 7 p の深さ W_p とを互いに異ならせる場合を示した。

【 0 2 6 0 】

本第 1 9 実施形態は、複数の NMOSFET それぞれの N 型ソース／ドレイン領域 3 1 7 n-1、3 1 7 n-2、… 3 1 7 n-n の深さ W_{n1} 、 W_{n2} 、… W_{nn} と、複数の PMOSFET それぞれの P 型ソース／ドレイン領域 3 1 7 p-1、3 1 7 p-2、… 3 1 7 p-n の深さ W_{p1} 、 W_{p2} 、… W_{pn} とを互いに異ならせる場合である。

【 0 2 6 1 】

図 5 5 A ～ 図 5 5 C では、それぞれ 2 つの異なるソース／ドレイン領域深さ（チャネル幅に相当する）の場合を示しているが、n 個の複数の深さを持つ場合に適用できることは明らかである。

【 0 2 6 2 】

このように複数の N チャネル、P チャネルのチャネル幅を実現することにより、異なるチャネル幅を持つ NMOSFET、PMOSFET を設計する自由度が増加する。すなわち、複数のチャネル幅を凸状薄膜 Si 層 3 1 7 n、または 3 1 7 p の数で実現するのか、本第 1 9 実施形態のように、複数のチャネル幅で実現するのかを、設計的、または製造的な点から選択できるようになる。このことは、本実施形態の大きな特長である。

【 0 2 6 3 】

（第 2 0 実施形態）

図 5 6 は、この発明の第 2 0 実施形態に係るトレンチ型キャパシタ構造を持つ DRAM メモリセルを示す断面図である。なお、図 5 6 中、点線で囲まれた領域は、1 ビットの DRAM メモリセルに対応する。

【 0 2 6 4 】

本第 2 0 実施形態は、例えば第 1 実施形態で説明した MOSFET を、DRAM メモリセルの、トレンチ型キャパシタとビット線とを互いに接続するトランスファートランジスタに用いた例である。

【 0 2 6 5 】

図 5 6 に示すように、トレンチの上部側面でキャパシタの蓄積電極とソース／ドレイン領域が電氣的に接続されている。従来の平面型 MOS F E T の構造では、この側壁コンタクト領域が縦型に深いソース／ドレインとなり、平面型 MOS F E T のソース／ドレイン薄膜化を阻害していた。

【 0 2 6 6 】

本第 2 0 実施形態のように、本発明に係る MOS F E T を用いると、側壁コンタクトからの拡散層が MOS F E T のソース／ドレイン領域へ影響を与えてソース／ドレインの深さが深くなっても、その影響を凸状 S i の側壁に形成したゲート電極で十分に抑制できる。すなわち、側壁コンタクトからの拡散層の伸びによるショートチャネル効果を抑制できる構造となっている。この時、通過ワード線を実現するため、通常の側壁を含む第一のゲート電極はポリ S i 層により形成し、第一のゲート電極と通過ワード線は別の第二のゲート電極で接続する構造が望ましい。さらに第一のゲート電極間は絶縁膜で埋め込み形成するようにする方が望ましい。このようにすることで、凸状薄膜 S i 層を用いた MOS F E T 構造を DRAM のトランジスタに適用することができる。

【 0 2 6 7 】

(第 2 1 実施形態)

図 5 7 は、この発明の第 2 1 実施形態に係るスタック型キャパシタ構造を持つ DRAM メモリセルを示す断面図である。なお、図 5 7 中、点線で囲まれた領域は、1 ビットの DRAM メモリセルに対応する。

【 0 2 6 8 】

本第 2 1 実施形態は、例えば第 1 実施形態で説明した MOS F E T を、DRAM メモリセルの、スタック型キャパシタとビット線とを互いに接続するトランスファトランジスタに用いた例である。

【 0 2 6 9 】

図 5 7 に示すように、本例では、ビット線コンタクトと蓄積電極コンタクトがポリ S i を用いてゲート電極の上部に持ち上げられて形成されているのが特徴である。従来の平面型 MOS F E T の構造では、微細なコンタクト領域で十分にコ

ンタクト抵抗を低下させることが困難であった。本実施例の凸状Si構造MOSFETを用いると、コンタクトが平面部のみならず側面部も利用して形成できるためコンタクト抵抗が低減できる。また、Ta₂O₅膜やBST膜、STO膜などの高誘電体絶縁膜を用いたスタックキャパシタの場合、MOSFETを形成した後にキャパシタ形成を行なうが、その時の高温工程（750度程度の結晶化アニールなど）でMOSFETのソース／ドレイン領域深さが伸びてしまい、ショートチャネル効果が起きてしまう問題があった。

【0270】

本第21実施形態のMOSFET構造ではショートチャネル効果を十分に抑制できる。すなわち、キャパシタ形成工程でのソース／ドレイン領域の伸びによるショートチャネル効果を抑制できる構造となっている。この時、通過ワード線を実現するため、通常の側壁を含む第一のゲート電極はポリSi層により形成し、第一のゲート電極と通過ワード線は別の第二のゲート電極で接続する構造が望ましい。さらに第一のゲート電極間は絶縁膜で埋め込み形成するようにする方が望ましい。ここではビット線の上にキャパシタを形成する例を述べたが、キャパシタの上にビット線を構成しても良いし、配線の上にキャパシタを形成しても良い。このようにすることで、凸状薄膜Si層を用いたMOSFET構造をスタック型キャパシタDRAMのトランジスタに適用することができる。

【0271】

(第22実施形態)

本第22実施形態は、凸状薄膜Si層からなるMOSFET素子を複数個（本例では2個の場合を示す）配列する場合のゲート電極の構造に関する。

【0272】

図58はこの発明の第22実施形態に係るMOSFETを示す斜投影図、図59Aはその平面図、図59Bは図59A中59B-59B線に沿う断面図、図59Cは図59A中の59C-59C線に沿う断面図、図59Dは図59A中の59D-59D線に沿う断面図である。なお、図58、図59A～図59Dでは、例えば第1実施形態の図2Aに示したコンタクト、配線、および側壁絶縁膜をそれぞれ省略している。

【 0 2 7 3 】

図 5 8、図 5 9 A～図 5 9 D に示すように、複数の凸状薄膜 S i 層 1 3 を高密度に配置、例えば凸状薄膜 S i 層 1 3 どうしが、互いに最小デザインルールで配置する。

【 0 2 7 4 】

この場合、第 1 ゲート電極 1 6 a である多結晶 S i 層が、凸状薄膜 S i 層 1 3 どうしの間に完全に埋め込まれ、第 2 ゲート電極 1 6 b であるメタル膜（例えば W 膜、A l 膜、T i N 膜）やシリサイド膜（例えば T i S i 2 膜、W S i 2 膜、C o S i 2 膜など）が、平坦となった第 1 ゲート電極 1 6 a の表面上に形成される構造となる。

【 0 2 7 5 】

このように第 2 ゲート電極 1 6 b を、平坦となった第 1 ゲート電極 1 6 a の表面上に形成することで、例えば第 2 ゲート電極 1 6 b の材料であるメタル膜やシリサイド膜の形成が容易になる、あるいはゲート電極の加工が容易になる等の利点を得ることができる。

【 0 2 7 6 】

さらに第 2 ゲート電極 1 6 b の表面も平坦にできるので、ゲート電極の加工後は、従来の平面型 M O S F E T と同じような製造工程を使用できる、という利点を得ることができる。

【 0 2 7 7 】

（第 2 3 実施形態）

本第 2 3 実施形態は、第 2 2 実施形態と同様、凸状薄膜 S i 層からなる M O S F E T 素子を複数個（本例では 2 個の場合を示す）配列する場合のゲート電極の構造に関する。

【 0 2 7 8 】

図 6 0 はこの発明の第 2 3 実施形態に係る M O S F E T を示す斜投影図、図 6 1 はその断面図である。なお、図 6 0 の断面は、図 5 9 B に示す断面に相当する。また、図 6 0、図 6 1 では、例えば第 1 実施形態の図 2 A に示したコンタクト、配線、および側壁絶縁膜をそれぞれ省略している。

【 0 2 7 9 】

図 6 0 に示すように、第 1 ゲート電極 1 6 a である多結晶 S i 層を、例えば 2 0 n m 程度まで薄くする。そして、第 2 ゲート電極 1 6 b であるメタル膜やシリサイド膜を、第 1 ゲート電極 1 6 a 間に埋め込むことも可能である。

【 0 2 8 0 】

このような第 2 3 実施形態では、例えば第 2 ゲート電極 1 6 b の表面を平坦にでき、ゲート電極の加工後は、従来の平面型 M O S F E T と同じような製造工程を使用できる、という利点を得ることができる。

【 0 2 8 1 】

(第 2 4 実施形態)

図 6 2 はこの発明に係る M O S F E T のコンタクト部を示す斜投影図、図 6 3 A はこの発明に係る M O S F E T のコンタクト部を示す平面図、図 6 3 B は図 6 3 A に示す矢印 B の方向から見た側面図、図 6 3 C は図 6 3 A に示す矢印 C の方向から見た側面図である。なお、図 6 2、図 6 3 A ～ 図 6 3 C では、例えば第 1 実施形態の図 2 A に示したコンタクト、配線、および側壁絶縁膜をそれぞれ省略している。

【 0 2 8 2 】

図 6 2、図 6 3 A ～ 図 6 3 C に示すように、この発明に係る M O S F E T では、ソース／ドレイン領域 1 7 の、例えばコンタクトプラグ 2 8 が接続される部分（以下電氣的コンタクト部）5 0 が、基本的に凸状薄膜 S i 層 1 3 の上面（T O P）、その互いに相対する 2 つの側面（S I D E I、S I D E II）の一部にそれぞれ跨っている。

【 0 2 8 3 】

この構造は、電氣的コンタクト部 5 0 を、凸状薄膜 S i 層 1 3 の側面に沿い、その下方に向かって広げることが可能な構造である。このため、ソース／ドレイン領域 1 7 の幅、具体的には凸状薄膜 S i 層 1 3 の幅を広げなくても、電氣的コンタクト部 5 0 の面積を大きくでき、例えばコンタクトプラグ 2 8 とソース／ドレイン領域 1 7 とのコンタクト抵抗の増加を抑制できる、という利点を得ることができる。

【 0 2 8 4 】

本第 2 4 実施形態は、上記利点を損なうことなく、M O S F E T の平面面積を、さらに縮小可能な構造を提供しようとするものである。

【 0 2 8 5 】

図 6 4 はこの発明の第 2 4 実施形態に係る M O S F E T を示す斜投影図、図 6 5 A はその平面図、図 6 5 B は図 6 5 A に示す矢印 B の方向から見た側面図、図 6 5 C は図 6 5 A に示す矢印 C の方向から見た側面図である。

【 0 2 8 6 】

図 6 4 、図 6 5 A ～図 6 5 C に示すように、本第 2 4 実施形態に係る M O S F E T では、電気的コンタクト部 5 0 が、凸状薄膜 S i 層 1 3 の上面 (T O P) 、その互いに相対する 2 つの側面 (S I D E I 、 S I D E I I) の一部に加え、これら 2 つの側面 (S I D E I 、 S I D E I I) それぞれに接した他の 2 つの側面 (S I D E I I I 、 S I D E I V) の一部にも跨っている。

【 0 2 8 7 】

この構造もまた、電気的コンタクト部 5 0 を、凸状薄膜 S i 層 1 3 の側面に沿い、その下方に向かって広げることが可能な構造である。さらに本第 2 4 実施形態では、電気的コンタクト部 5 0 を、他の 2 つの側面 (S I D E I I I 、 S I D E I V) の一部にも跨せることで、電気的コンタクト部 5 0 の面積低下を抑制しつつ、凸状薄膜 S i 層 1 3 の長さ、例えばチャネル長方向に沿った長さを短縮することができる。

【 0 2 8 8 】

よって、図 6 2 、図 6 3 A ～図 6 3 C を参照して説明した利点を損なうことなく、M O S F E T の平面面積を、さらに縮小することが可能である。

【 0 2 8 9 】

(第 2 5 実施形態)

本第 2 5 実施形態は、ゲート電界集中を緩和できる構造に関する。

【 0 2 9 0 】

図 6 6 は、この発明の第 2 5 実施形態に係る M O S F E T を示す断面図である。なお、図 6 6 に示す断面は、第 1 実施形態の図 2 B に示す断面に相当する。

【 0 2 9 1 】

例えば第 2 実施形態では、凸状薄膜 S i 層 1 3 の上面に形成されたゲート絶縁膜 1 8 b を、凸状薄膜 S i 層 1 3 の側面に形成されたゲート絶縁膜 1 8 a よりも厚くする。これにより、チャネル領域 1 5 の上部コーナーにおけるゲート電界集中を緩和でき、ゲート電界集中に起因した、しきい値電圧の変動や、基板バイアス特性の変動を抑制できることを説明した。

【 0 2 9 2 】

本第 2 5 実施形態に係る M O S F E T では、図 6 6 に示すように、第 2 実施形態とは反対に、凸状薄膜 S i 層 1 3 の上面に形成されたゲート絶縁膜 1 8 b を、凸状薄膜 S i 層 1 3 の側面に形成されたゲート絶縁膜 1 8 a よりも薄くする。

【 0 2 9 3 】

このような構造は、例えば第 1 実施形態の、図 7 A、図 7 B を参照して説明した工程において、凸状薄膜 S i 層 1 3 の側面を、その上面に形成された絶縁膜よりも厚くなるように酸化することで得ることができる。

【 0 2 9 4 】

この構造では、図 6 6 中、破線円内に示す上部コーナーがラウンド形状となることにより、上部コーナーにおけるゲート電界集中を緩和でき、第 2 実施形態と同様に、ゲート電界集中に起因した、しきい値電圧の変動や、基板バイアス特性の変動を抑制することが可能となる。

【 0 2 9 5 】

(第 2 6 実施形態)

本第 2 6 実施形態は、第 2 5 実施形態と同様、ゲート電界集中を緩和できる構造に関する。

【 0 2 9 6 】

図 6 7 は、この発明の第 2 6 実施形態に係る M O S F E T を示す断面図である。なお、図 6 7 に示す断面は、第 1 実施形態の図 2 B に示す断面に相当する。

【 0 2 9 7 】

図 6 7 に示すように、本第 2 6 実施形態が、第 2 5 実施形態と異なるところは、凸状薄膜 S i 層 1 3 の側面に形成されたゲート絶縁膜 1 8 a を、絶縁物の堆積

により形成したことである。

【0298】

このような構造は、例えば第1実施形態の、図6A、図6Bを参照して説明した工程の後、全面に絶縁膜、好ましくは高誘電体膜を堆積形成し、この後、RIE法を用いて、高誘電体膜をエッチングし、凸状薄膜Si層13の側面に残すことで得ることができる。

【0299】

本構造においても、図67中、破線円内に示す上部コーナーをラウンド形状にできることにより、上部コーナーにおけるゲート電界集中を緩和でき、第2実施形態と同様に、ゲート電界集中に起因した、しきい値電圧の変動や、基板バイアス特性の変動を抑制することが可能となる。

【0300】

以上、第1～第26実施形態により説明したこの発明によれば、

(1) 凸状薄膜Si層中に形成されたソース/ドレイン領域と、凸状薄膜Si層の下部領域に形成された素子分離絶縁膜との間を離す。

【0301】

この構成によれば、MOSFETのチャネル幅を、ソース/ドレイン領域の深さにより制御でき、平面面積の増加を抑制しつつ、様々なチャネル幅を持つMOSFETを1チップ中に集積できる。

【0302】

(2) 凸状薄膜Si層の幅(W_g)を、例えば $0.20\mu m$ より狭くする。

【0303】

この構成によれば、凸状薄膜Si層の側面に形成されたゲート電極によってチャネル領域が完全に空乏化する。チャネル領域が完全に空乏化することによって、チャネル領域の不純物濃度を、平面型MOSFETのチャネル領域の不純物濃度に比べ、低濃度化することが可能となる。そして、チャネル領域の不純物濃度を低濃度化することで、チャネル領域におけるキャリア・モビリティの低下を抑制できる、不純物濃度の揺らぎの影響を受け難い、およびゲート絶縁膜の膜厚バラツキに対して強い構造を実現できる。

【 0 3 0 4 】

(3) 凸状薄膜 S i 層の上面とゲート電極との間のゲート絶縁膜の少なくとも一部の膜厚を、凸状薄膜 S i 層の側面とゲート電極との間のゲート絶縁膜の膜厚よりも厚くする、あるいは薄くする。

【 0 3 0 5 】

この構成によれば、凸状薄膜 S i 層の上部コーナーにおけるゲート電界集中を緩和でき、しきい値電圧の制御が容易となる。

【 0 3 0 6 】

(4) 凸状薄膜 S i 層のチャネル領域と、ウェルまたは基板との間に、高濃度不純物層を設ける。

【 0 3 0 7 】

この構成によれば、M O S F E T のパンチスルーを防止できる。

【 0 3 0 8 】

(5) 凸状薄膜 S i 層の側面において、ソースとドレインと間の距離を、上部領域において短く、下部になるに従って広くする。

【 0 3 0 9 】

この構成によれば、M O S F E T のパンチスルーを防止できる。

【 0 3 1 0 】

(6) 凸状薄膜 S i 層の側面において、ソース／ドレイン領域と、ゲート電極とを互いにオフセットさせる。

【 0 3 1 1 】

この構成によれば、M O S F E T のパンチスルーを防止できる。

【 0 3 1 2 】

(7) 凸状薄膜 S i 層を複数設け、これらの側面にゲート電極を共通に形成する。

【 0 3 1 3 】

この構成によれば、少ない平面面積で、より大きなチャネル幅を実現できる。

【 0 3 1 4 】

(8) 凸状薄膜 S i 層の他、ゲートコンタクト用凸状薄膜 S i 層を設ける。

【 0 3 1 5 】

この構成によれば、コンタクトホールをの深さを、ソース／ドレイン領域およびゲート電極それぞれでほぼ揃えることができ、製造歩留まりを向上できる。

【 0 3 1 6 】

(9) 凸状薄膜 S i 層のソース／ドレイン領域にコンタクトを形成する場合、凸状薄膜 S i 層の上面だけでなく、少なくとも側面の一部にも形成する。

【 0 3 1 7 】

この構成によれば、平面面積の増加を損なうことなく、コンタクト抵抗を低減できる。

【 0 3 1 8 】

(1 0) 凸状薄膜 S i 層の側面の傾き（テーパ角度）を、ほぼ垂直ではなく、例えば 8 5 度程度の順テーパにする。

【 0 3 1 9 】

この構成によれば、凸状薄膜 S i 層の側面でのゲート電極の加工を容易にできる。

【 0 3 2 0 】

(1 1) 凸状薄膜 S i 層の側面に沿って形成されるゲート電極を、例えば多結晶 S i 膜で形成し、このゲート電極に、例えばメタル膜やシリサイド膜からなる第 2 ゲート電極を接続する。

【 0 3 2 1 】

この構成によれば、ゲート電極の抵抗を低減できるとともに、隣接するゲート電極の高さを低くできる。よって、ゲート電極特性の調節が可能となるとともに、ゲート電極間の寄生容量を低減できる。

【 0 3 2 2 】

(1 2) 凸状薄膜 S i 層の少なくとも側面上に形成されるゲート絶縁膜を、例えば Ta_2O_5 膜などの高誘電体絶縁膜で形成する。

【 0 3 2 3 】

この構成によれば、ゲート電極とチャネル領域との間の容量を増加でき、M O S F E T のカットオフ特性を、より効果的に向上できる。

【 0 3 2 4 】

(1 3) 凸状薄膜 S i 層の少なくともチャネル領域の上部コーナーの角度を、ほぼ垂直から 4 5 度程度にする、あるいは半径 3 0 n m 程度の半円で近似できるラウンド形状とする。

【 0 3 2 5 】

この構成によれば、凸状薄膜 S i 層の上部コーナーにおけるゲート電界集中を緩和でき、しきい値電圧の制御が容易となる。

【 0 3 2 6 】

(1 4) 凸状薄膜 S i 層に形成されたソース／ドレイン領域を、シングル・ソース／ドレイン構造ではなく、L D D 的な高濃度ソース／ドレイン領域と低濃度のソース／ドレイン領域とを含む構造とする。

【 0 3 2 7 】

この構成によれば、ソース／ドレイン領域近傍の電界を緩和でき、トランジスタの信頼性を向上できる。

【 0 3 2 8 】

(1 5) 凸状薄膜 S i 層を複数設け、これらの側面にゲート電極を共通に形成するとともに、複数の凸状薄膜 S i 層の少なくともソース／ドレイン領域を含む領域の一部を互いに結合させる。

【 0 3 2 9 】

この構成によれば、少ない平面面積で、より大きなチャネル幅を実現できるとともに、ソース／ドレイン領域に対するコンタクトの数を削減できる。

【 0 3 3 0 】

(1 6) 凸状薄膜 S i 層に形成されたソース／ドレイン領域の底部と、凸状薄膜 S i 層下に形成された絶縁膜との間に、ソース／ドレイン領域と異なる導電型の不純物層を設ける。

【 0 3 3 1 】

この構成によれば、例えば S O I 基板上に凸状薄膜 S i 層を形成したとき、S O I 層の厚みのバラツキを、ソース／ドレイン領域の深さのバラツキに吸収できる。

【 0 3 3 2 】

(1 7) 凸状薄膜 S i 層を、ガラス基板上に形成されたアモルファス S i を用いて形成した場合においても、上記 (1) ～ (1 6) の構成を採用することにより、上述した効果を得ることができる。

【 0 3 3 3 】

(1 8) 凸状薄膜 S i 層は、溝を形成し、この溝の中にエピタキシャル成長させたエピタキシャル S i 層で形成する。

【 0 3 3 4 】

この構成によれば、凸状薄膜 S i 層の周辺に形成される素子分離絶縁膜を安定して形成でき、半導体集積回路装置の製造歩留りを向上できる。

【 0 3 3 5 】

(1 9) 凸状薄膜 S i 層に形成された N M O S F E T 、他の凸状薄膜 S i 層に形成された P M O S F E T によって C M O S 回路を形成する場合、 P 型ソース／ドレイン領域の深さと、 N 型ソース／ドレイン領域の深さとを互いに異ならせる。具体的には P 型ソース／ドレイン領域の深さを、 N 型ソース／ドレイン領域の深さより深くする。

【 0 3 3 6 】

この構成によれば、電子のモビリティと正孔のモビリティとの差に起因した、 N M O S F E T 、 P M O S F E T の平面的な設計寸法の差を縮めることができる。特に C M O S 回路を設計したとき、 P M O S F E T の面積を縮小でき、全体の回路面積を縮小できる。

【 0 3 3 7 】

(2 0) 凸状薄膜 S i 層に形成された N M O S F E T (または P M O S F E T) 、他の凸状薄膜 S i 層に形成された N M O S F E T (または P M O S F E T) によって M O S 回路を形成する場合、これら N M O S F E T (または P M O S F E T) のソース／ドレイン領域の深さを互いに異ならせる。

【 0 3 3 8 】

この構成によれば、平面的な設計寸法が同じでも、互いにチャネル幅が異なった N M O S F E T (または P M O S F E T) を実現でき、回路を設計したとき、

チャネル幅が広いNMOSFET（またはPMOSFET）の面積を縮小でき、全体の回路面積を縮小できる。

【0339】

以上、この発明を第1～第26実施形態により説明したが、この発明は、これら実施形態それぞれに限定されるものではなく、その実施にあたっては、発明の要旨を逸脱しない範囲で種々に変形することが可能である。

【0340】

例えばこの発明に係るMOSFETと、平面型MOSFETとを同じSiウェーハ基板上に共存させることも可能である。この場合、この発明に係るMOSFETの特長、平面型MOSFETの特長をそれぞれ生かせば良い。

【0341】

また、実施形態では主に単体のMOSFET素子について説明したが、このMOSFETを用いて、フラッシュメモリ、SRAM、DRAM、各種ロジック回路、CPUなどに応用することができる。本素子構造がショートチャネル効果を抑制でき、Pチャネル、NチャネルMOSFETの微細化に有効であること、チャネルの完全空乏化により素子のカットオフ特性が向上すること、ダブルゲート構造によりMOSFETの電流駆動能力が向上すること、Nチャネル、Pチャネルのチャネル幅を平面設計面積を増大させること無くソース／ドレイン領域の深さの調整で実現できること、複数の凸状Siに分割することで、大電流のMOSFET素子を小さな面積で実現できること、などの特長を生かして、LSI回路全般に従来の平面型MOSFET素子を置き換える新しいMOSFET素子構造として応用できる。

【0342】

また、上記各実施形態は、単独、または適宜組み合わせることも勿論可能である。

【0343】

さらに、上記各実施形態には種々の段階の発明が含まれており、各実施形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

【 0 3 4 4 】

【発明の効果】

以上説明したように、この発明によれば、カットオフ特性の改善を図ることが可能な構造、ゲート電界集中の緩和が可能な構造、駆動能力の向上を図ることが可能な構造、ゲート特性の調節が可能な構造、製造が容易となる構造、および駆動能力を損なうことなく平面面積の縮小が可能な構造の少なくともいずれかを持つ、少なくとも凸状半導体層の側面をチャネル領域として使う半導体装置およびその製造方法を提供できる。

【図面の簡単な説明】

【図 1】 図 1 はこの発明の第 1 実施形態に係る MOS F E T を示す斜投影図。

【図 2】 図 2 A はこの発明の第 1 実施形態に係る MOS F E T を示す平面図、図 2 B は図 2 A 中の 2 B - 2 B 線に沿う断面図、図 2 C は図 2 A 中の 2 C - 2 C 線に沿う断面図、図 2 D は図 2 A 中の 2 D - 2 D 線に沿う断面図。

【図 3】 図 3 A、図 3 B はそれぞれこの発明の第 1 実施形態に係る MOS F E T の主要な製造工程を示す工程断面図。

【図 4】 図 4 A、図 4 B はそれぞれこの発明の第 1 実施形態に係る MOS F E T の主要な製造工程を示す工程断面図。

【図 5】 図 5 A、図 5 B はそれぞれこの発明の第 1 実施形態に係る MOS F E T の主要な製造工程を示す工程断面図。

【図 6】 図 6 A、図 6 B はそれぞれこの発明の第 1 実施形態に係る MOS F E T の主要な製造工程を示す工程断面図。

【図 7】 図 7 A、図 7 B はそれぞれこの発明の第 1 実施形態に係る MOS F E T の主要な製造工程を示す工程断面図。

【図 8】 図 8 A、図 8 B はそれぞれこの発明の第 1 実施形態に係る MOS F E T の主要な製造工程を示す工程断面図。

【図 9】 図 9 A、図 9 B はそれぞれこの発明の第 1 実施形態に係る MOS F E T の主要な製造工程を示す工程断面図。

【図 1 0】 図 1 0 A、図 1 0 B はそれぞれこの発明の第 1 実施形態に係る

MOSFETの主要な製造工程を示す工程断面図。

【図 1 1】 図 1 1 A、図 1 1 B はそれぞれこの発明の第 1 実施形態に係る MOSFET の主要な製造工程を示す工程断面図。

【図 1 2】 図 1 2 はこの発明の第 2 実施形態に係る MOSFET を示す斜投影図。

【図 1 3】 図 1 3 A、図 1 3 B はそれぞれこの発明の第 2 実施形態に係る MOSFET を示す断面図。

【図 1 4】 図 1 4 A、図 1 4 B はそれぞれこの発明の第 3 実施形態に係る MOSFET を示す断面図。

【図 1 5】 図 1 5 A、図 1 5 B はそれぞれこの発明の第 4 実施形態に係る MOSFET を示す断面図。

【図 1 6】 図 1 6 A はこの発明の第 5 実施形態に係る MOSFET を示す平面図、図 1 6 B は図 1 6 A 中の 1 6 B - 1 6 B 線に沿う断面図、図 1 6 C は図 1 6 A 中の 1 6 C - 1 6 C 線に沿う断面図。

【図 1 7】 図 1 7 A はこの発明の第 6 実施形態に係る MOSFET を示す平面図、図 1 7 B は図 1 7 A 中の 1 7 B - 1 7 B 線に沿う断面図、図 1 7 C は図 1 7 A 中の 1 7 C - 1 7 C 線に沿う断面図。

【図 1 8】 図 1 8 A、図 1 8 B はそれぞれこの発明の第 6 実施形態の他例に係る MOSFET を示す断面図。

【図 1 9】 図 1 9 A、図 1 9 B はそれぞれ、この発明の第 7 実施形態に係る MOSFET を示す断面図。

【図 2 0】 図 2 0 はこの発明の第 8 実施形態に係る MOSFET を示す斜投影図。

【図 2 1】 図 2 1 A はこの発明の第 8 実施形態に係る MOSFET を示す平面図、図 2 1 B は図 2 1 A 中の 2 1 B - 2 1 B 線に沿う断面図、図 2 1 C は図 2 1 A 中の 2 1 C - 2 1 C 線に沿う断面図。

【図 2 2】 図 2 2 はこの発明の第 9 実施形態に係る MOSFET を示す斜投影図。

【図 2 3】 図 2 3 A はこの発明の第 9 実施形態に係る MOSFET を示す

平面図、図 2 3 B は図 2 3 A 中の 2 3 B - 2 3 B 線に沿う断面図、図 2 3 C は図 2 3 A 中の 2 3 C - 2 3 C 線に沿う断面図。

【図 2 4】 図 2 4 はこの発明に係る MOS F E T のゲート絶縁膜の変形を示す断面図。

【図 2 5】 図 2 5 はこの発明に係る MOS F E T のゲート絶縁膜の変形を示す断面図。

【図 2 6】 図 2 6 はこの発明の第 1 0 実施形態に係る MOS F E T を示す断面図。

【図 2 7】 図 2 7 はこの発明の第 1 1 実施形態に係る MOS F E T を示す断面図。

【図 2 8】 図 2 8 はこの発明の第 1 2 実施形態に係る MOS F E T を示す断面図。

【図 2 9】 図 2 9 はこの発明に係る MOS F E T のソース／ドレイン領域の変形を示す断面図。

【図 3 0】 図 3 0 はこの発明の第 1 3 実施形態の第 1 例に係る MOS F E T を示す平面図。

【図 3 1】 図 3 1 はこの発明の第 1 3 実施形態の第 2 例に係る MOS F E T を示す平面図。

【図 3 2】 図 3 2 はこの発明の第 1 3 実施形態の第 3 例に係る MOS F E T を示す平面図。

【図 3 3】 図 3 3 はこの発明の第 1 4 実施形態に係る MOS F E T を示す斜投影図。

【図 3 4】 図 3 4 A はこの発明の第 1 4 実施形態に係る MOS F E T を示す平面図、図 3 4 B は図 3 4 A 中の 3 4 B - 3 4 B 線に沿う断面図、図 3 4 C は図 3 4 A 中の 3 4 C - 3 4 C 線に沿う断面図。

【図 3 5】 図 3 5 はこの発明の第 1 5 実施形態に係る MOS F E T を示す斜投影図。

【図 3 6】 図 3 6 A はこの発明の第 1 5 実施形態に係る MOS F E T を示す平面図、図 3 6 B は図 3 6 A 中の 3 6 B - 3 6 B 線に沿う断面図、図 3 6 C は

図 3 6 A 中の 3 6 C - 3 6 C 線に沿う断面図。

【図 3 7】 図 3 7 A、図 3 7 B はそれぞれこの発明の第 1 6 の実施形態に係る MOS F E T の製造方法を示す工程断面図。

【図 3 8】 図 3 8 A、図 3 7 B はそれぞれこの発明の第 1 6 の実施形態に係る MOS F E T の製造方法を示す工程断面図。

【図 3 9】 図 3 9 A、図 3 9 B はそれぞれこの発明の第 1 6 の実施形態に係る MOS F E T の製造方法を示す工程断面図。

【図 4 0】 図 4 0 A、図 4 0 B はそれぞれこの発明の第 1 6 の実施形態に係る MOS F E T の製造方法を示す工程断面図。

【図 4 1】 図 4 1 A、図 4 1 B はそれぞれこの発明の第 1 6 の実施形態に係る MOS F E T の製造方法を示す工程断面図。

【図 4 2】 図 4 2 A、図 4 2 B はそれぞれこの発明の第 1 6 の実施形態に係る MOS F E T の製造方法を示す工程断面図。

【図 4 3】 図 4 3 A、図 4 3 B はそれぞれこの発明の第 1 7 の実施形態に係る MOS F E T の製造方法を示す工程断面図。

【図 4 4】 図 4 4 A、図 4 4 B はそれぞれこの発明の第 1 7 の実施形態に係る MOS F E T の製造方法を示す工程断面図。

【図 4 5】 図 4 5 A、図 4 5 B はそれぞれこの発明の第 1 7 の実施形態に係る MOS F E T の製造方法を示す工程断面図。

【図 4 6】 図 4 6 A、図 4 6 B はそれぞれこの発明の第 1 7 の実施形態に係る MOS F E T の製造方法を示す工程断面図。

【図 4 7】 図 4 7 A、図 4 7 B はそれぞれこの発明の第 1 7 の実施形態に係る MOS F E T の製造方法を示す工程断面図。

【図 4 8】 図 4 8 A はこの発明の第 1 8 実施形態に係る相補型 MOS F E T を示す平面図、図 4 8 B は図 4 8 A 中の 4 8 B - 4 8 B 線に沿う断面図、図 4 8 C は図 4 8 A 中の 4 8 C - 4 8 C 線に沿う断面図、図 4 8 D は図 4 8 A 中の 4 8 D - 4 8 D 線に沿う断面図。

【図 4 9】 図 4 9 はこの発明の第 1 8 実施形態に係る MOS F E T の主要な製造工程を示す工程断面図。

【図 5 0】 図 5 0 はこの発明の第 1 8 実施形態に係る MOS F E T の主要な製造工程を示す工程断面図。

【図 5 1】 図 5 1 はこの発明の第 1 8 実施形態に係る MOS F E T の主要な製造工程を示す工程断面図。

【図 5 2】 図 5 2 はこの発明の第 1 8 実施形態に係る MOS F E T の主要な製造工程を示す工程断面図。

【図 5 3】 図 5 3 はこの発明の第 1 8 実施形態に係る MOS F E T の主要な製造工程を示す工程断面図。

【図 5 4】 図 5 4 はこの発明の第 1 8 実施形態に係る MOS F E T の主要な製造工程を示す工程断面図。

【図 5 5】 図 5 5 A はこの発明の第 1 9 実施形態に係る相補型 MOS F E T を示す平面図、図 5 5 B は図 5 5 A 中の 5 5 B - 5 5 B 線に沿う断面図、図 5 5 C は図 5 5 A 中の 5 5 C - 5 5 C 線に沿う断面図。

【図 5 6】 図 5 6 はこの発明の第 2 0 実施形態に係るトレンチ型キャパシタ構造を持つ DRAM メモリセルを示す断面図。

【図 5 7】 図 5 7 はこの発明の第 2 1 実施形態に係るスタック型キャパシタ構造を持つ DRAM メモリセルを示す断面図。

【図 5 8】 図 5 8 はこの発明の第 2 2 実施形態に係る MOS F E T を示す斜投影図。

【図 5 9】 図 5 9 A はこの発明の第 2 2 実施形態に係る MOS F E T を示す平面図、図 5 9 B は図 5 9 A 中 5 9 B - 5 9 B 線に沿う断面図、図 5 9 C は図 5 9 A 中の 5 9 C - 5 9 C 線に沿う断面図、図 5 9 D は図 5 9 A 中の 5 9 D - 5 9 D 線に沿う断面図。

【図 6 0】 図 6 0 はこの発明の第 2 3 実施形態に係る MOS F E T を示す斜投影図。

【図 6 1】 図 6 1 はこの発明の第 2 3 実施形態に係る MOS F E T を示す平面図。

【図 6 2】 図 6 2 はこの発明に係る MOS F E T のコンタクト部を示す斜投影図。

【図 6 3】 図 6 3 Aはこの発明に係るMOS FETのコンタクト部を示す平面図、図 6 3 Bは図 6 3 Aに示す矢印Bの方向から見た側面図、図 6 3 Cは図 6 3 Aに示す矢印Cの方向から見た側面図。

【図 6 4】 図 6 4はこの発明の第 2 4 実施形態に係るMOS FETを示す斜投影図。

【図 6 5】 図 6 5 Aはこの発明の第 2 4 実施形態に係るMOS FETの平面図、図 6 5 Bは図 6 5 Aに示す矢印Bの方向から見た側面図、図 6 5 Cは図 6 5 Aに示す矢印Cの方向から見た側面図。

【図 6 6】 図 6 6はこの発明の第 2 5 実施形態に係るMOS FETを示す断面図。

【図 6 7】 図 6 7はこの発明の第 2 6 実施形態に係るMOS FETを示す断面図。

【図 6 8】 図 6 8は従来のMOS FETを示す斜投影図。

【図 6 9】 図 6 9は従来のMOS FETを示す斜投影図。

【図 7 0】 図 7 0は従来のMOS FETを示す斜投影図。

【符号の説明】

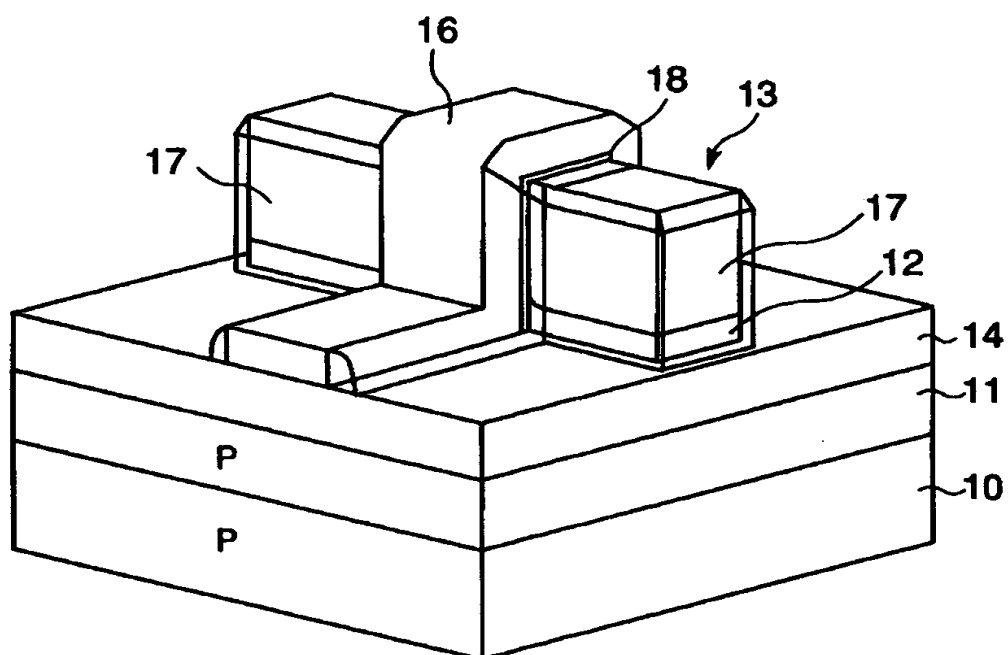
- 1 0…P型S i 基板、
- 1 1…P型ウェル、
- 1 2…高濃度不純物層（パンチスルー・ストッパー層）、
- 1 3…凸状薄膜S i 層、
- 1 4…素子分離絶縁膜、
- 1 5…チャネル不純物層（チャネル領域）、
- 1 6…ゲート電極、
- 1 6 a…第 1 ゲート電極、
- 1 6 b…第 2 ゲート電極、
- 1 7…ソース／ドレイン領域、
- 1 7 a…低濃度ソース／ドレイン領域、
- 1 7 b…高濃度ソース／ドレイン領域、
- 1 8…ゲート絶縁膜、

- 1 8' …ゲート絶縁膜 (h i g h-K膜)、
- 1 8 a …ゲート絶縁膜 (側面)、
- 1 8 b …ゲート絶縁膜 (T O P絶縁膜)、
- 2 0 …S i O₂層、
- 2 1 …マスク層 (S i N)、
- 2 2 …マスク層 (S i O₂)、
- 2 3 …T E O S-S i O₂層、
- 2 4 …ゲートキャップ絶縁膜、
- 2 5 …側壁絶縁膜、
- 2 6 …層間絶縁膜、
- 2 7 …コンタクトホール、
- 2 8 …コンタクトプラグ、
- 3 0 …ゲートコンタクト用凸状薄膜 S i 層、
- 4 0 …S O I 基板、
- 4 1 …絶縁膜 (B u r i e d O x i d e)、
- 4 2 …S i 層、
- 4 3 …ガラス基板、
- 4 4 …アモルファス S i 層、
- 1 0 1 …エピタキシャル S i 層、
- 1 1 0 …P型 S i 基板、
- 1 1 1 …P型ウェル、
- 1 1 2 …高濃度不純物層 (パンチスルー・ストッパー層)、
- 1 1 3 …凸状薄膜 S i 層、
- 1 1 4 …S i O₂膜 (素子分離絶縁膜)、
- 1 2 1 …マスク層 (S i N)、
- 1 2 2 …マスク層 (S i O₂)、
- 1 2 3 …溝パターン、
- 1 2 4 …ゲートキャップ絶縁膜、
- 3 0 1 …エピタキシャル S i 層、

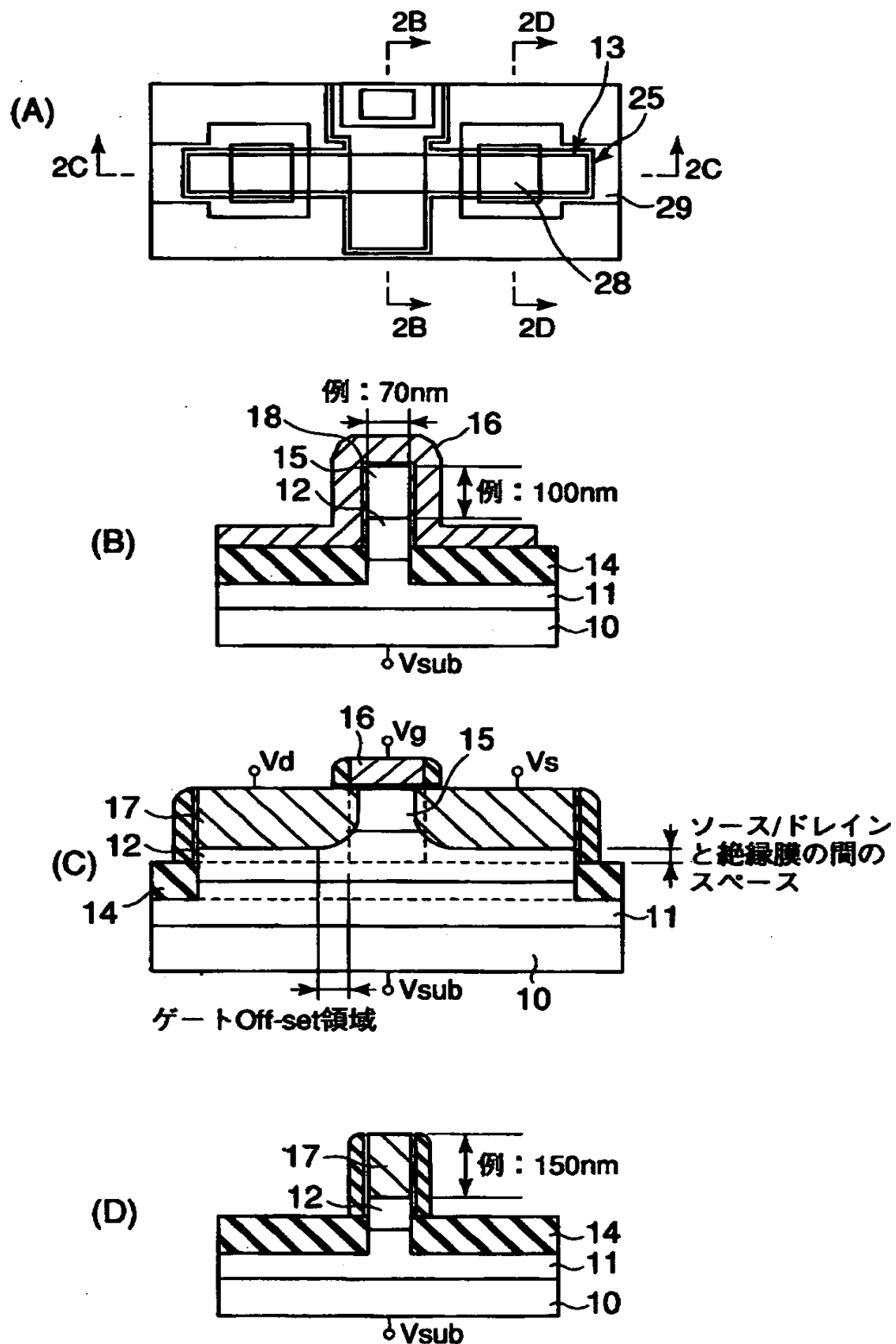
3 1 0 … P 型 S i 基板、
 3 1 1 p … P 型 ウェル、
 3 1 1 n … N 型 ウェル、
 3 1 2 p … P 型 高濃度不純物層（パンチスルー・ストッパー層）、
 3 1 2 n … N 型 高濃度不純物層（パンチスルー・ストッパー層）、
 3 1 4 p … P 型 L O C A L チャネル領域、
 3 1 5 n … N 型 L O C A L チャネル領域、
 3 1 6 … ゲート電極、
 3 1 7 p … P 型 ソース／ドレイン領域、
 3 1 7 n … N 型 ソース／ドレイン領域、
 3 1 7 p a … 低濃度 P 型 ソース／ドレイン領域、
 3 1 7 n a … 低濃度 N 型 ソース／ドレイン領域、
 3 1 7 p b … 高濃度 P 型 ソース／ドレイン領域、
 3 1 7 n b … 高濃度 N 型 ソース／ドレイン領域、
 3 1 8 … ゲート絶縁膜、
 3 2 0 … S i O₂ 層、
 3 2 1 … マスク層（S i N）、
 3 2 2 … マスク層（S i O₂）、
 3 2 3 … T E O S - S i O₂ 層、
 3 2 4 … ゲートキャップ絶縁膜、
 3 2 5 … 側壁絶縁膜、
 3 2 6 … 層間絶縁膜、
 3 2 7 … コンタクトホール、
 3 2 8 … コンタクトプラグ。

【書類名】 図面

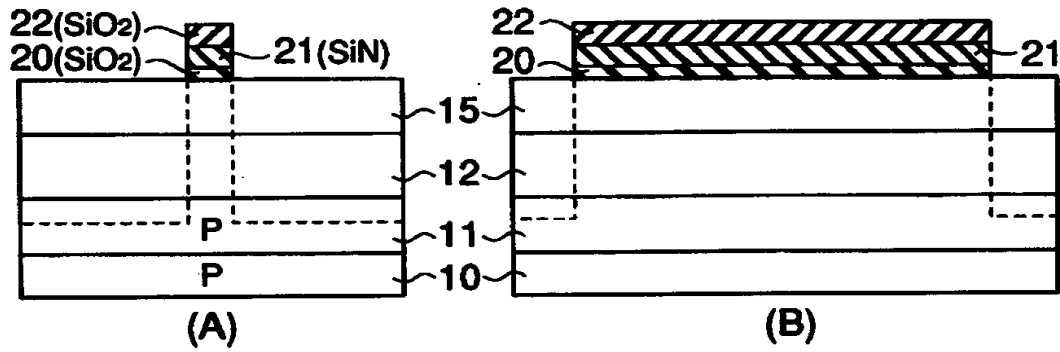
【図 1】



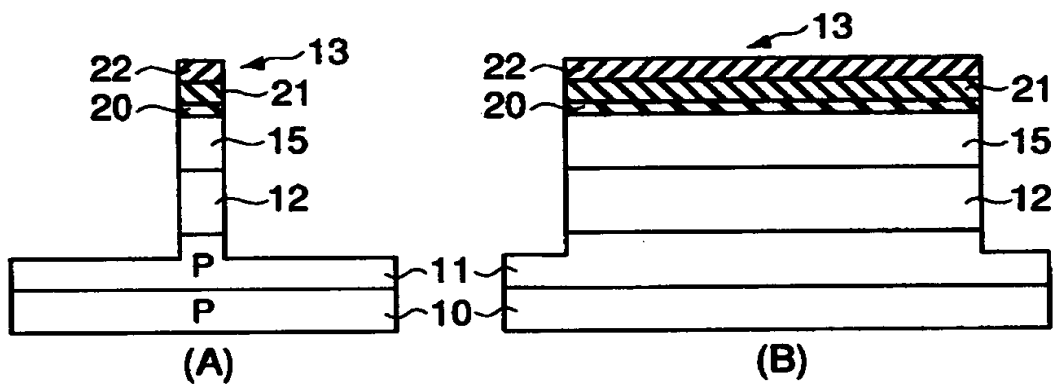
【図 2】



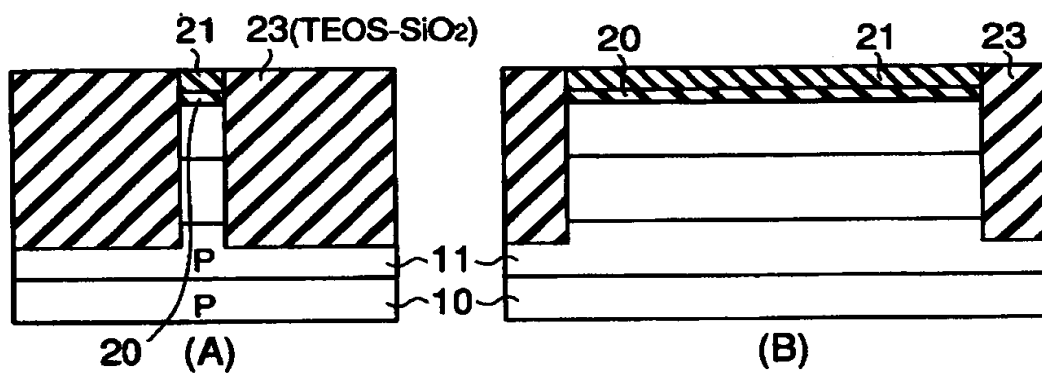
【図 3】



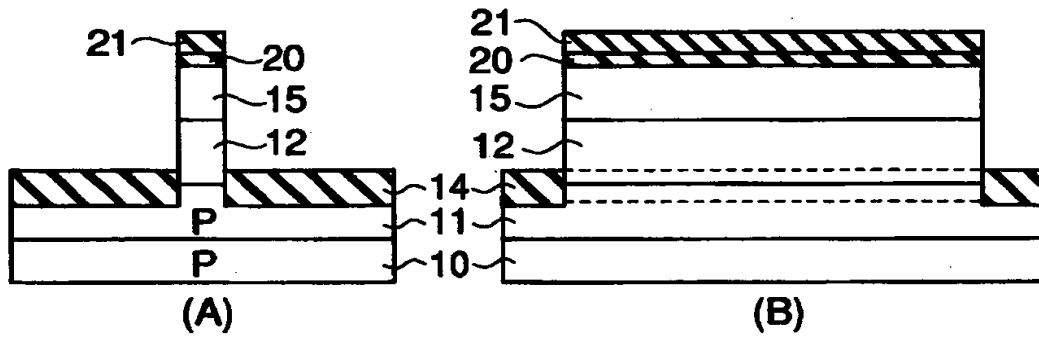
【図 4】



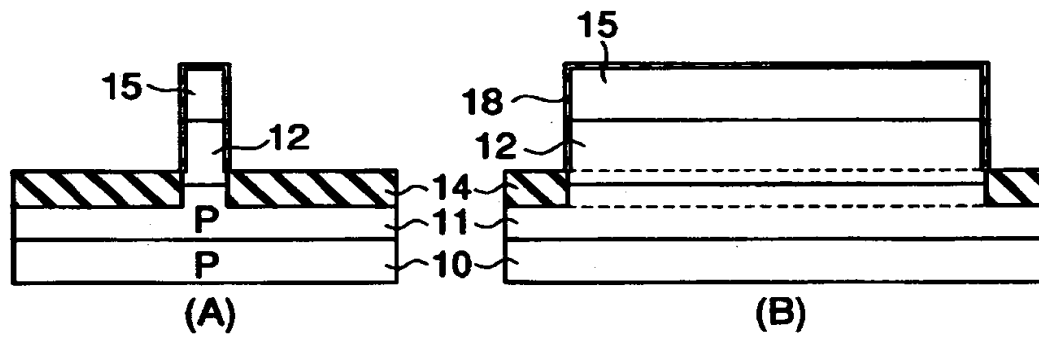
【図 5】



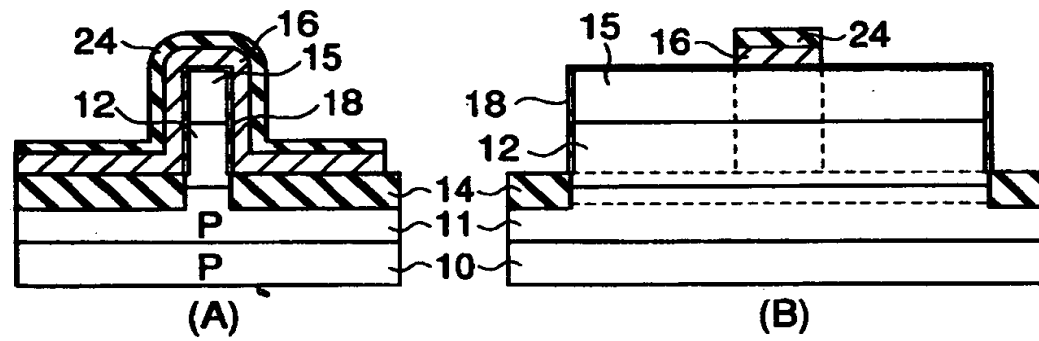
【図 6】



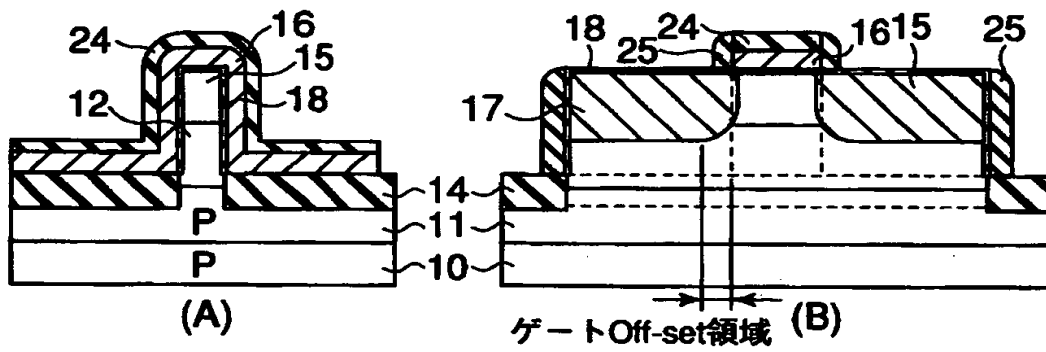
【図 7】



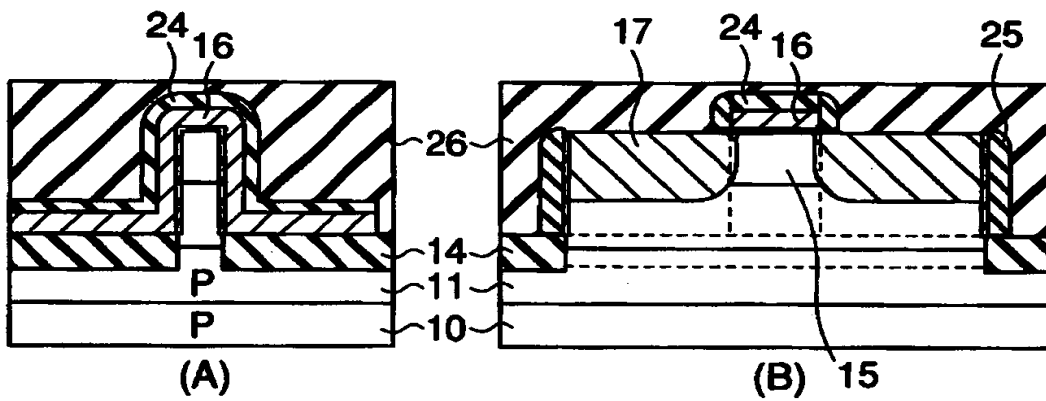
【図 8】



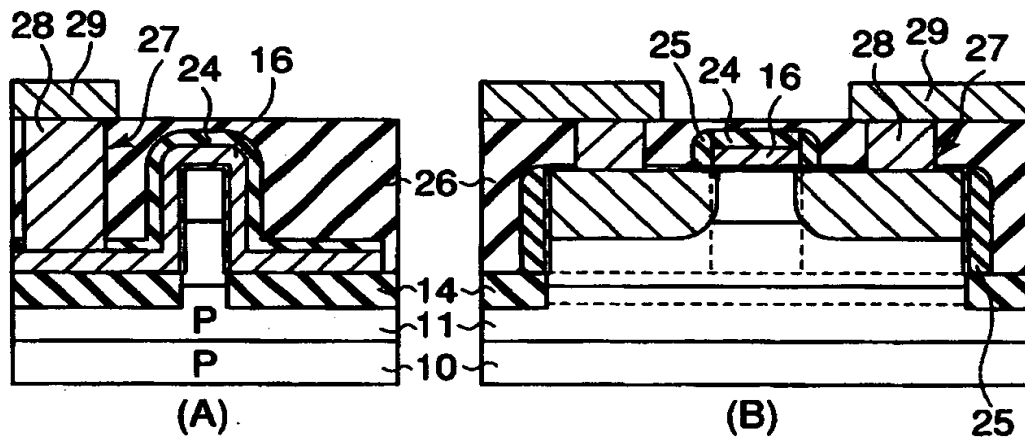
【図 9】



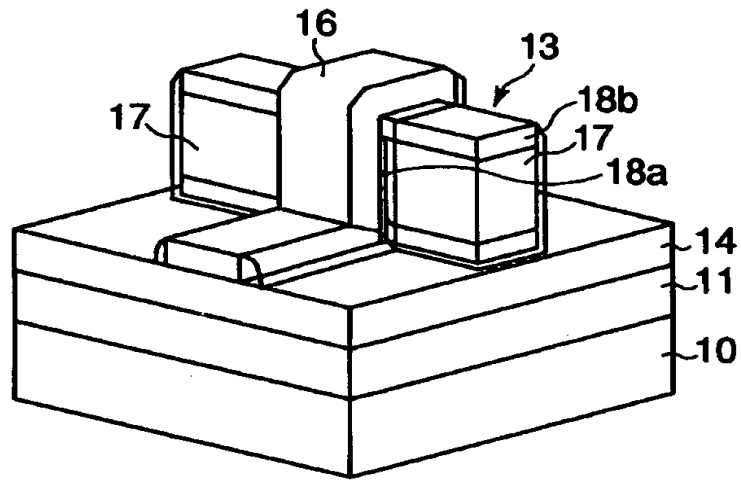
【図 1 0】



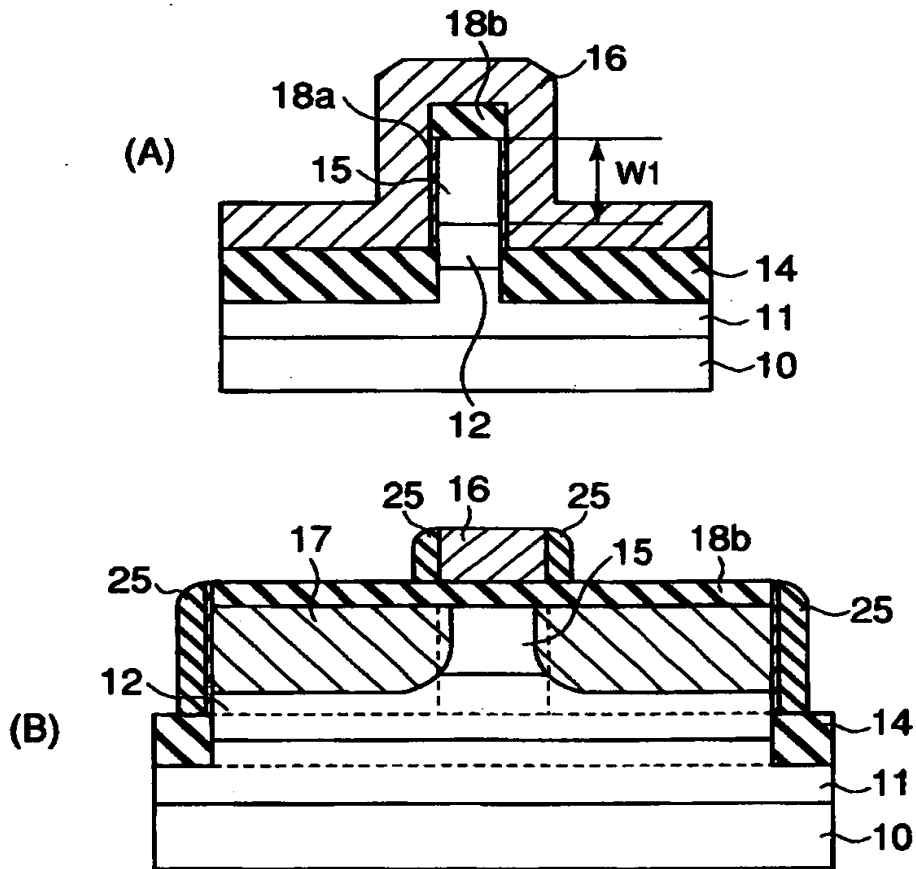
【図 1 1】



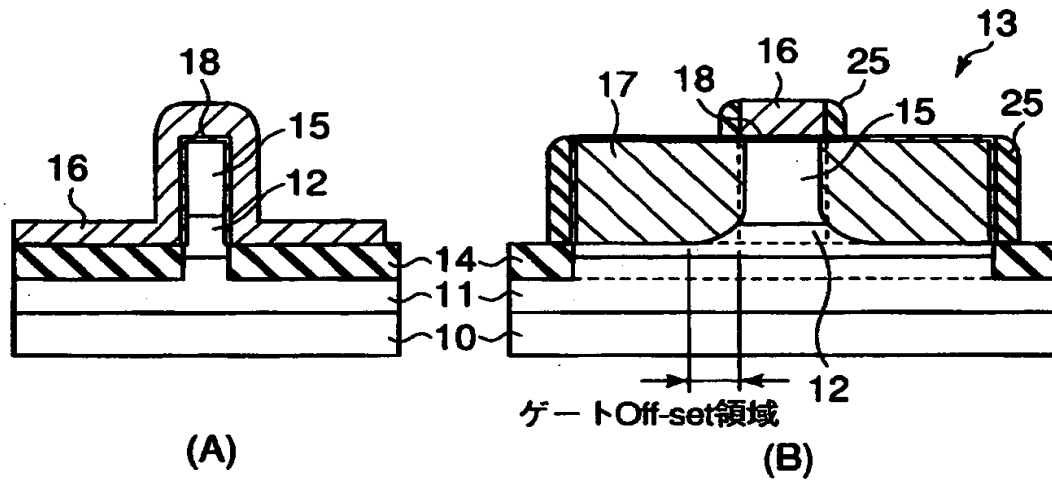
【図 12】



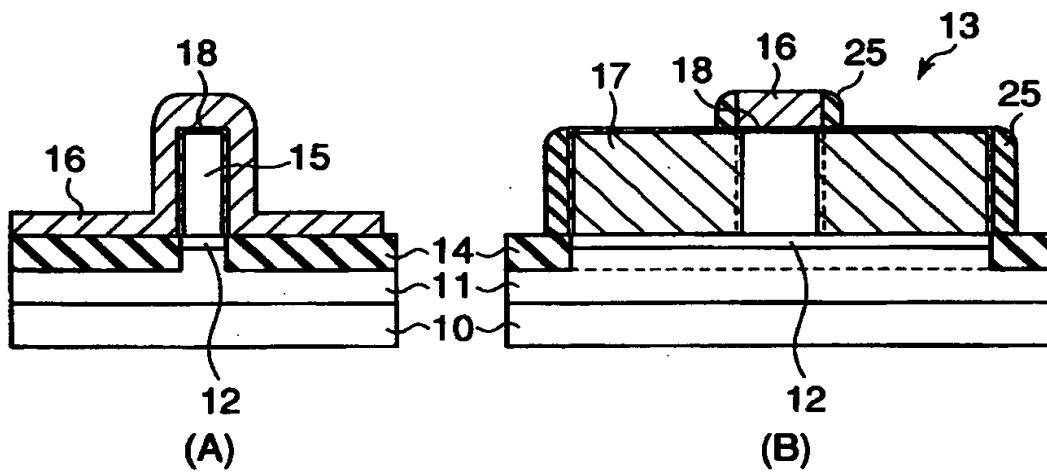
【図 13】



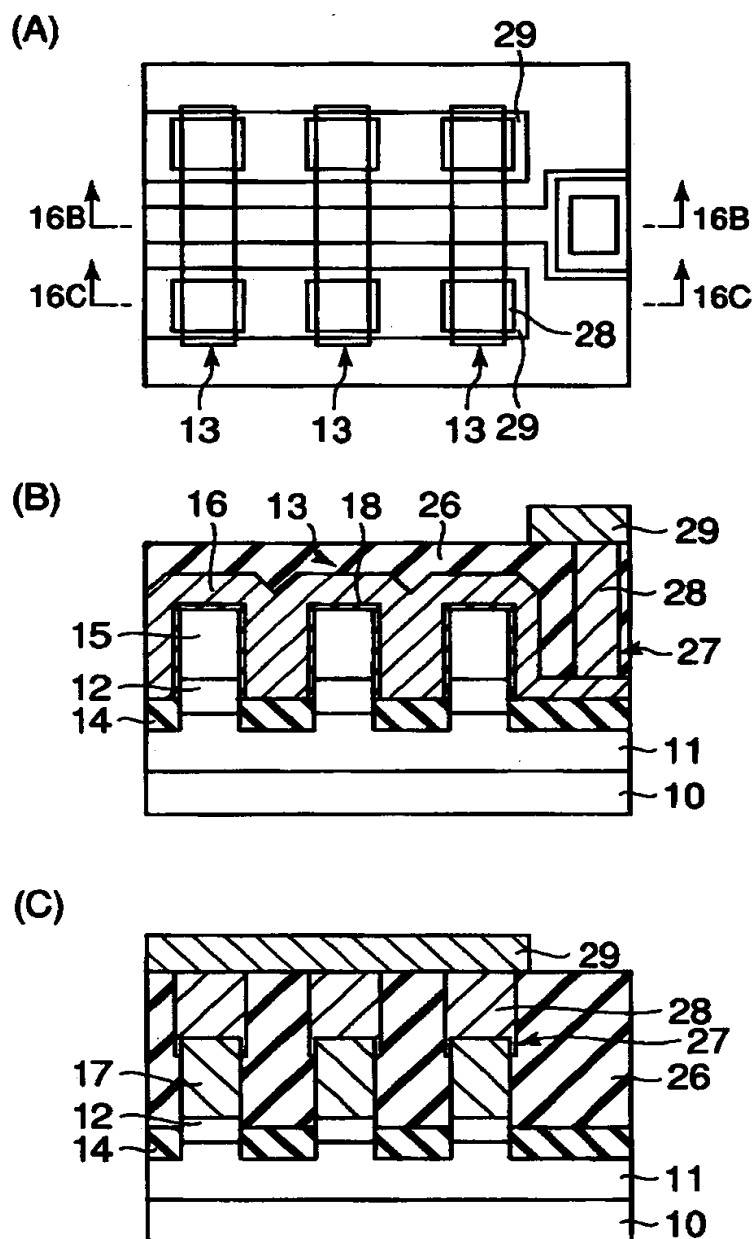
【図 14】



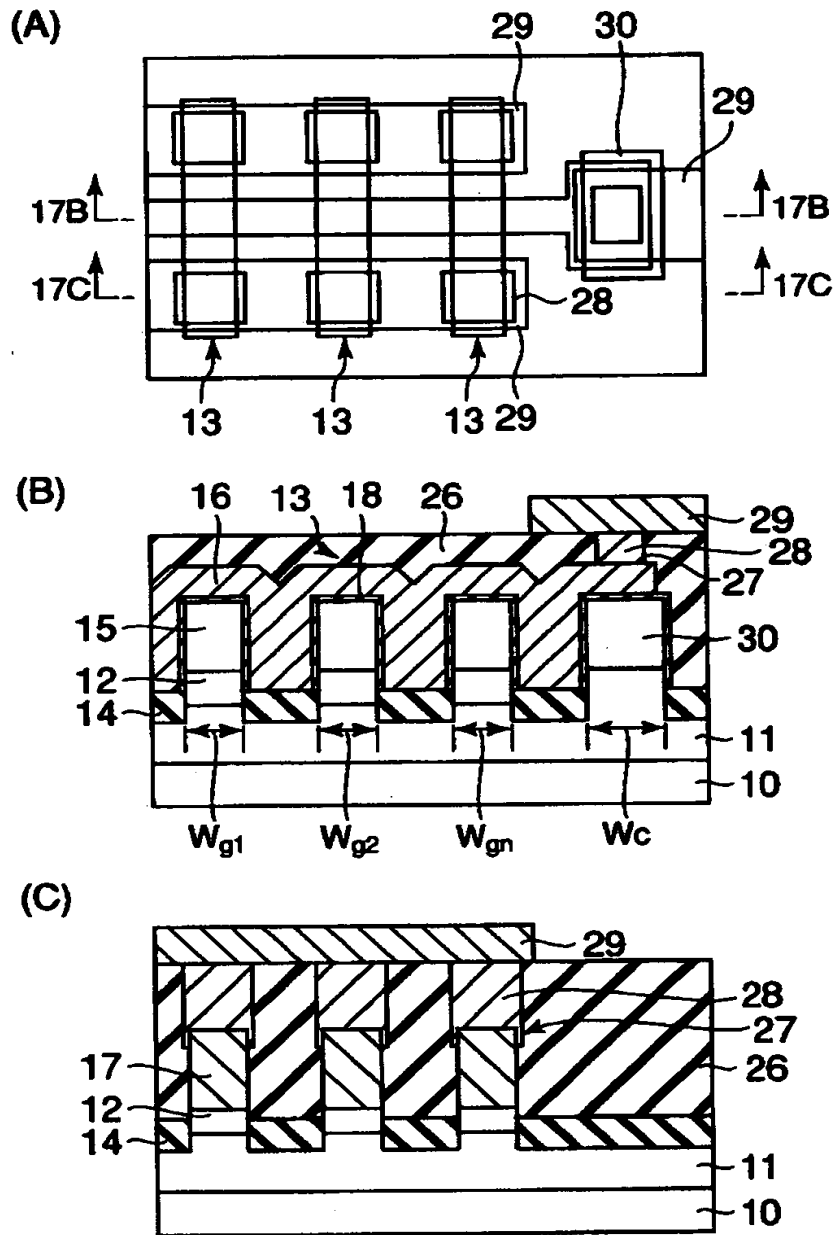
【図 15】



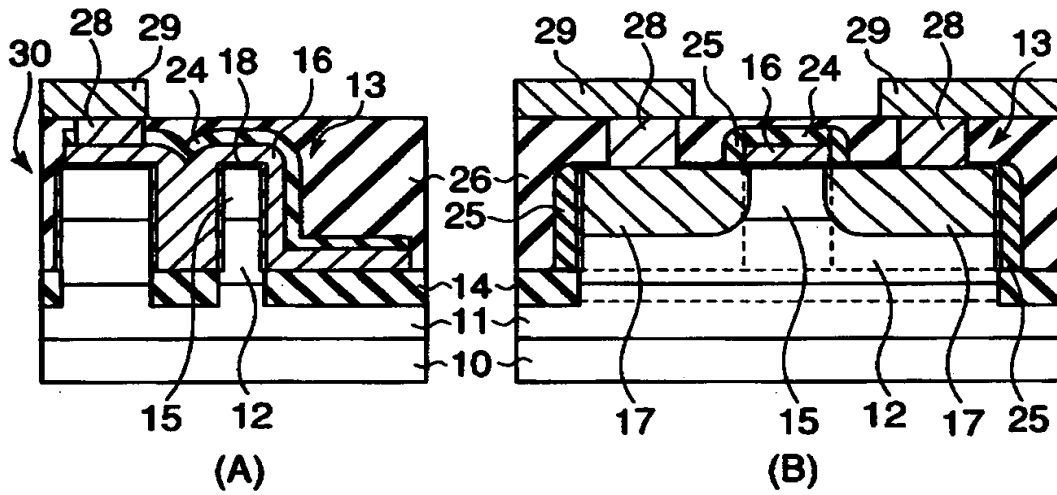
【図 1 6】



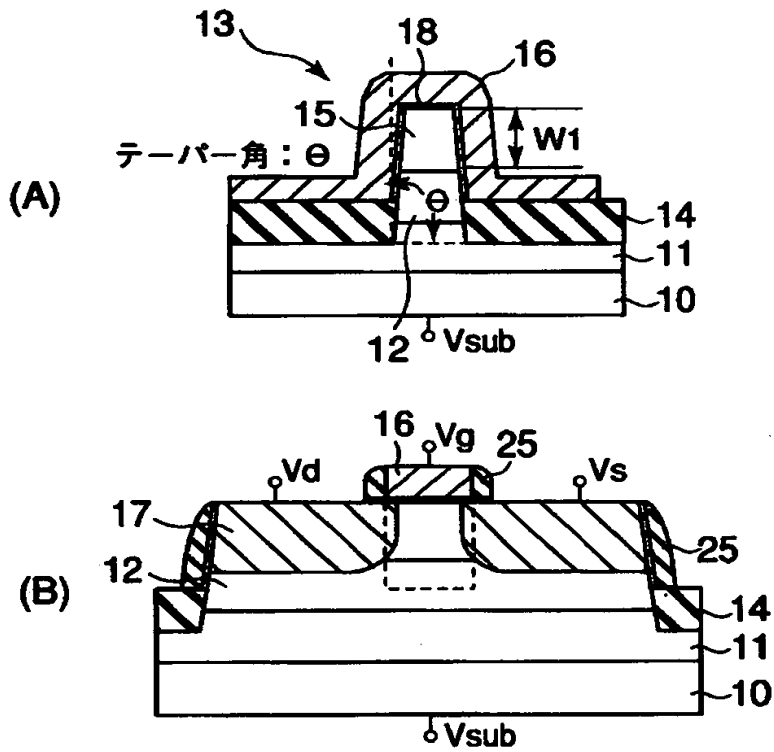
【図 17】



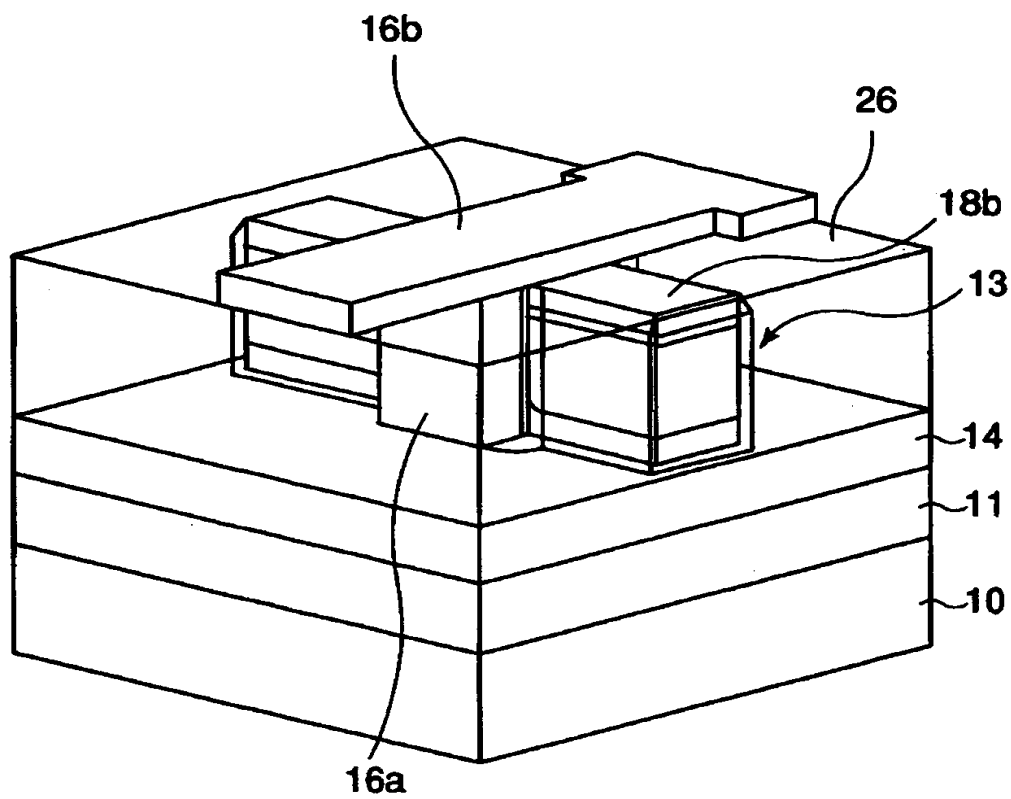
【図 1 8】



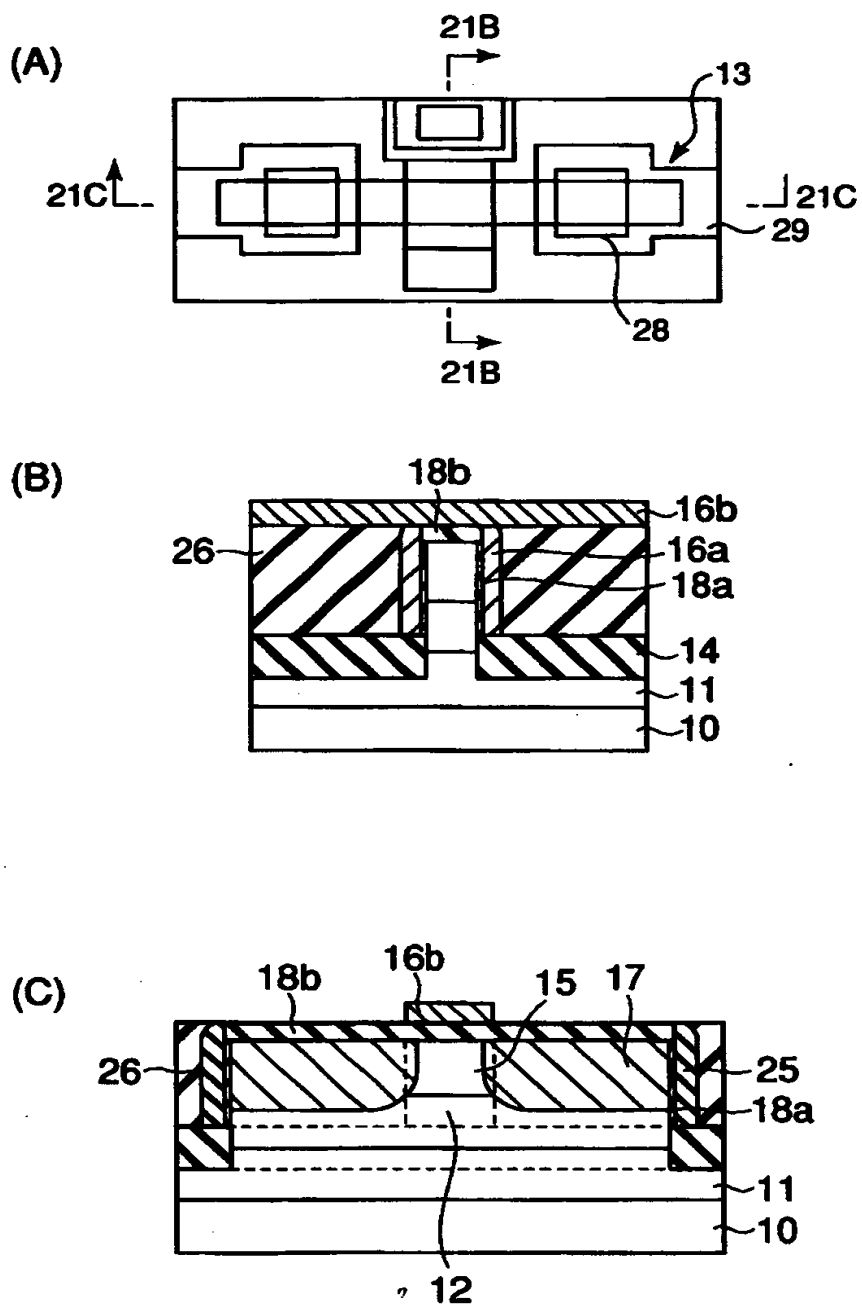
【図 1 9】



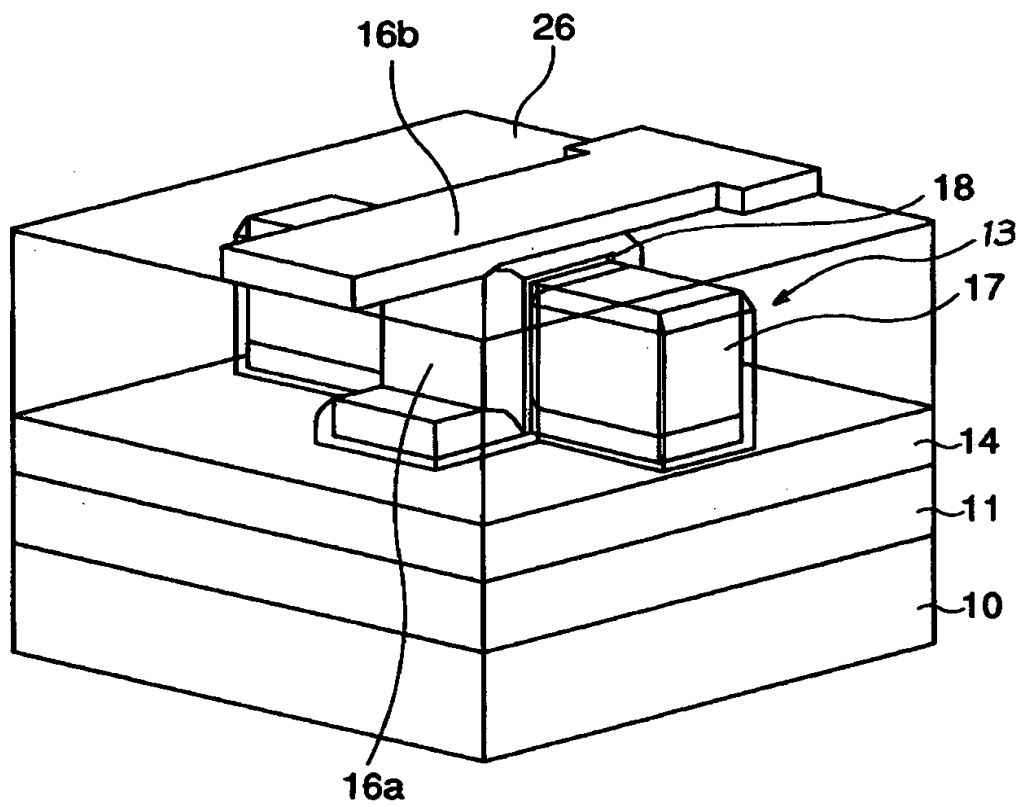
【図 20】



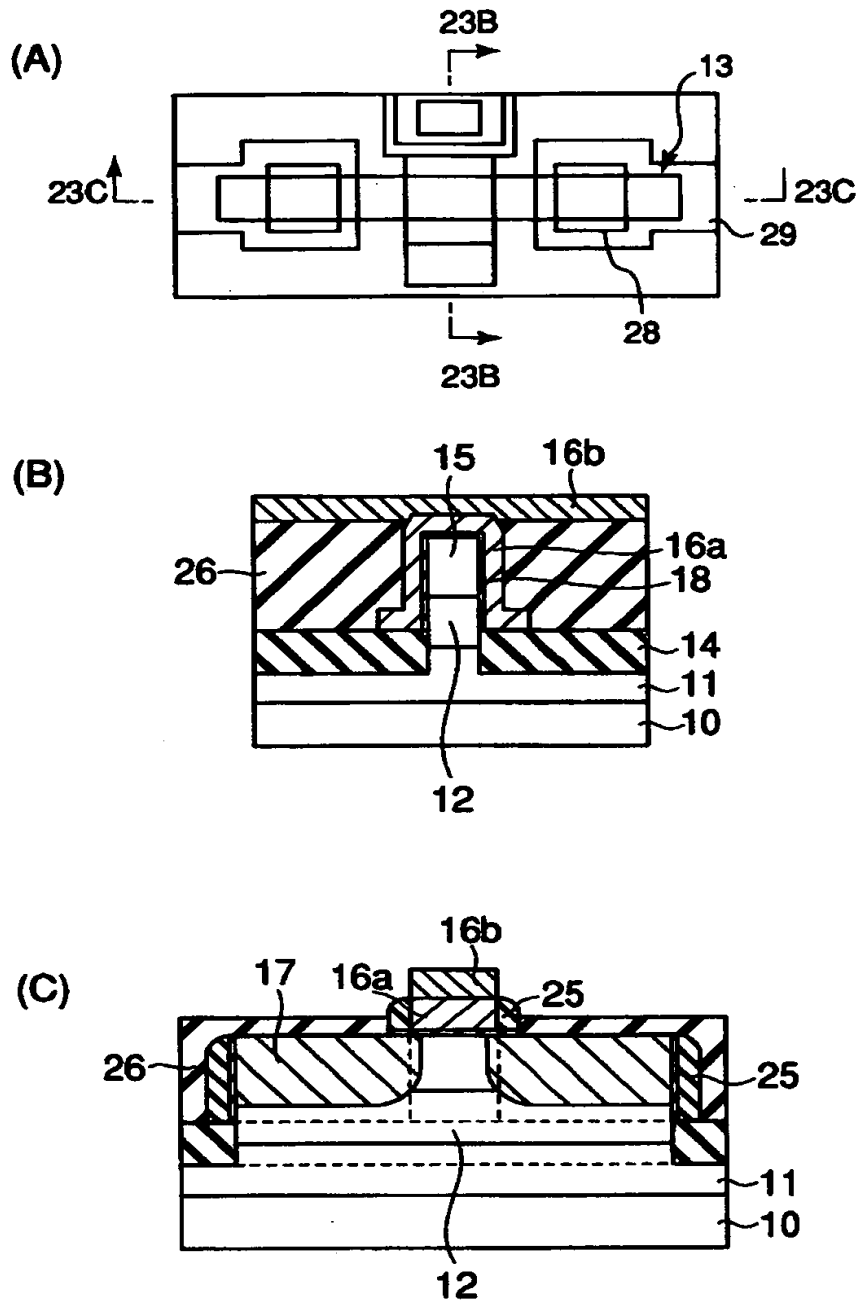
【図 2 1】



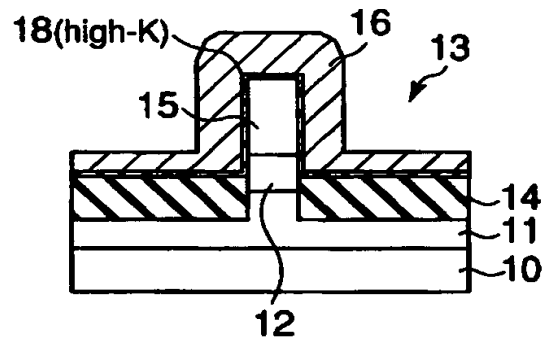
【図 2 2】



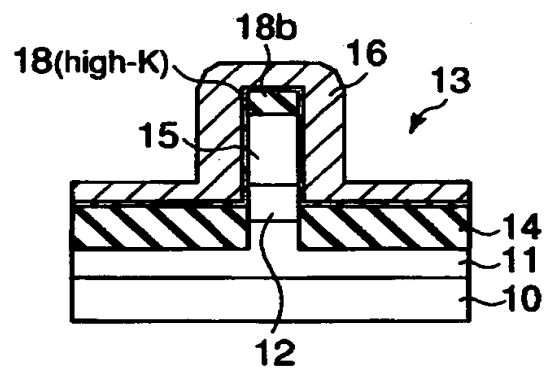
【図 23】



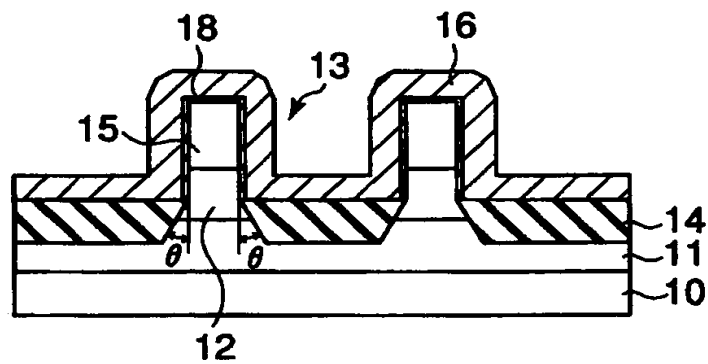
【図 2 4】



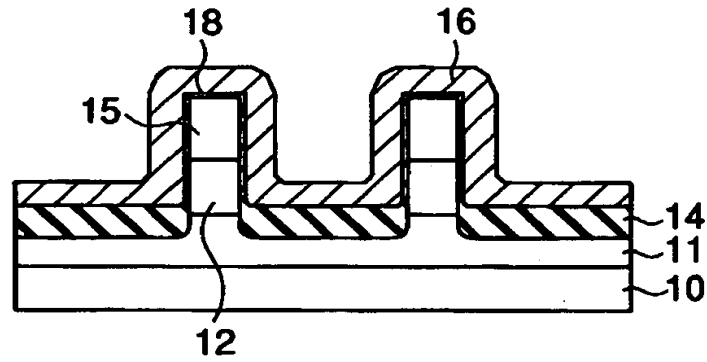
【図 2 5】



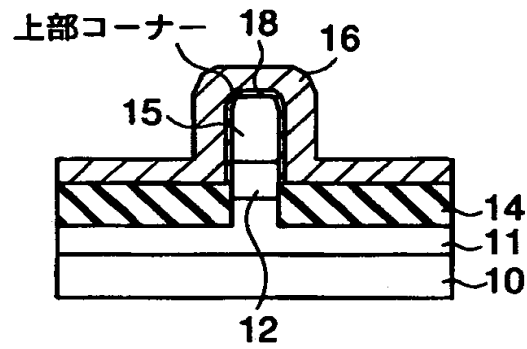
【図 2 6】



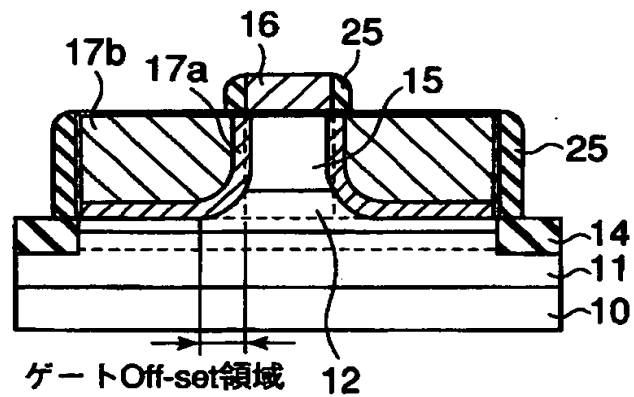
【図 2 7】



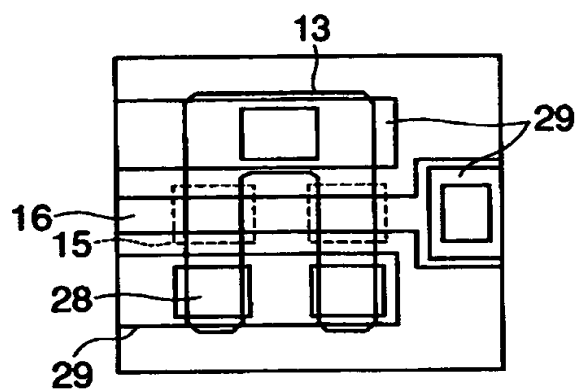
【図 2 8】



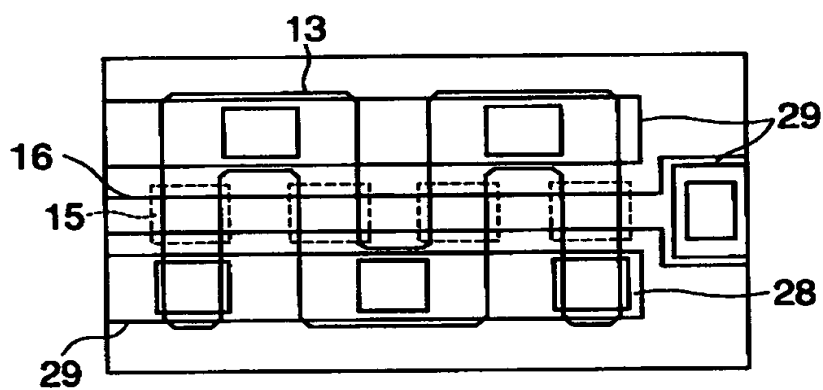
【図 2 9】



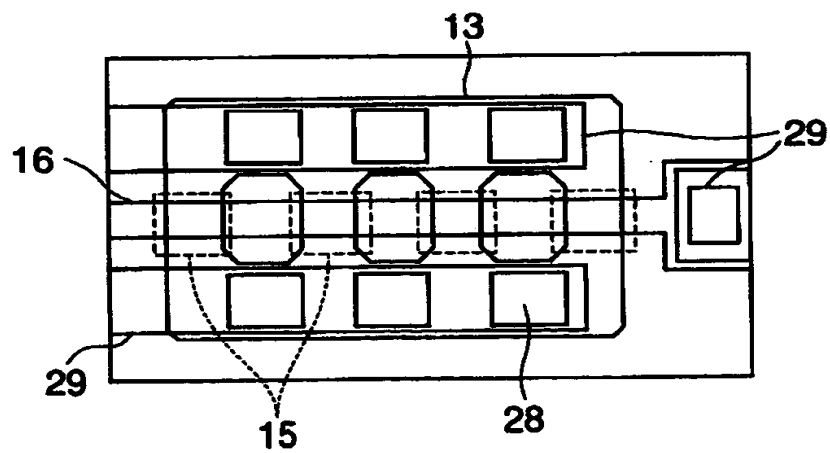
【図 30】



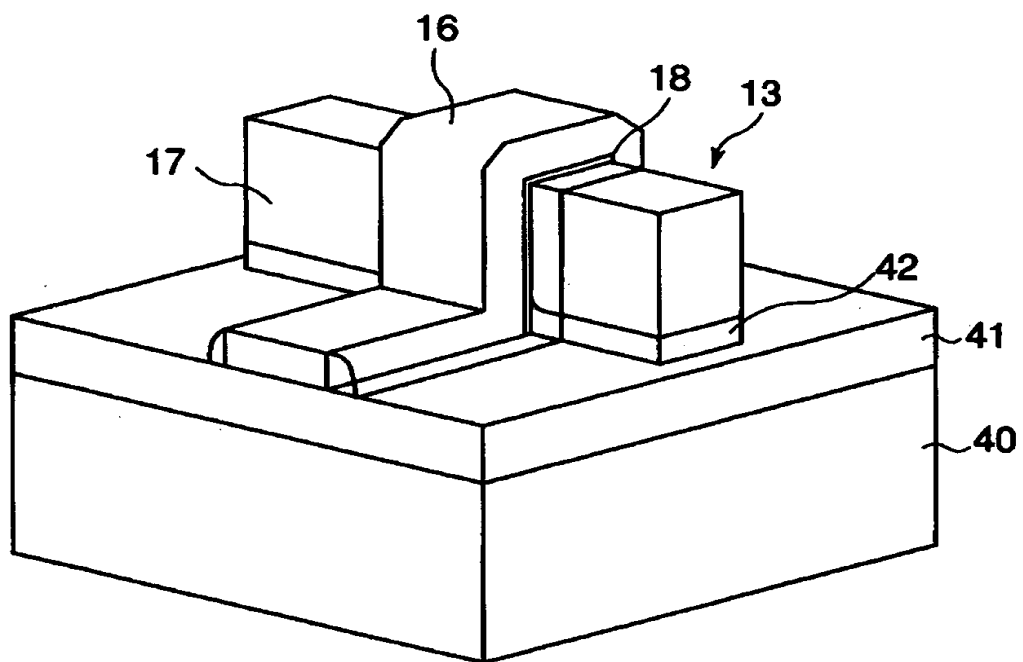
【図 31】



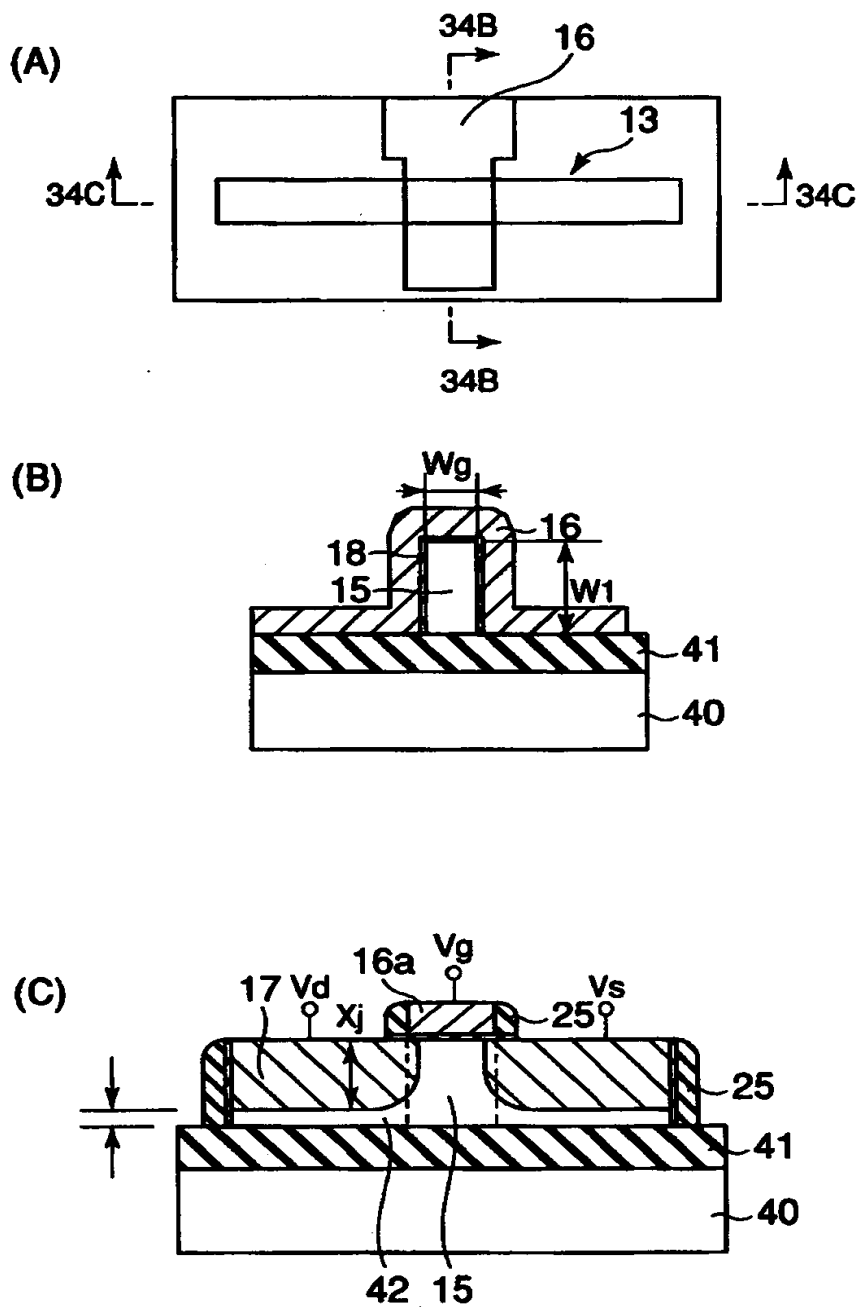
【図 32】



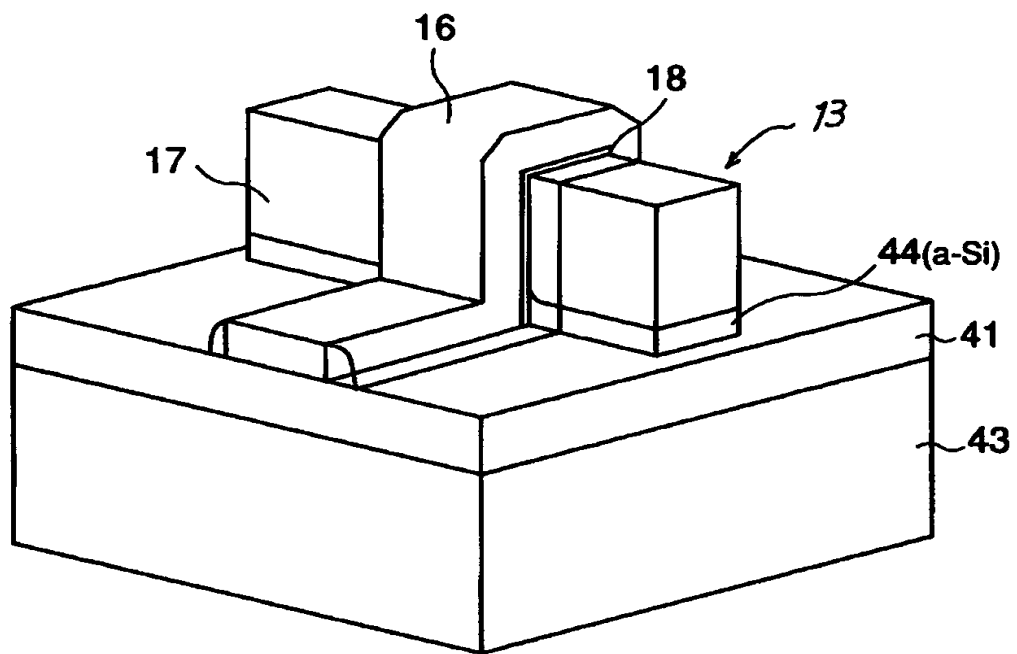
【図 3 3】



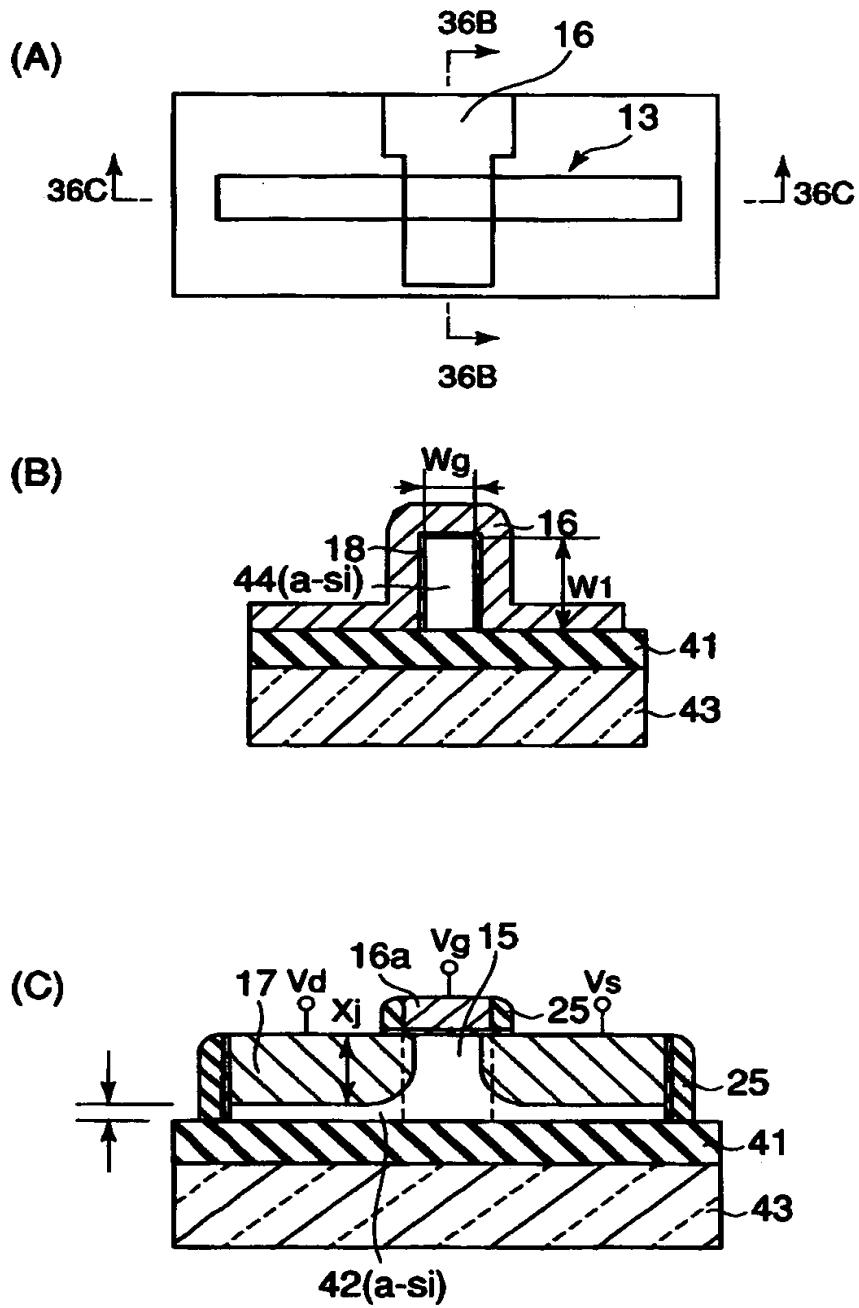
【図 34】



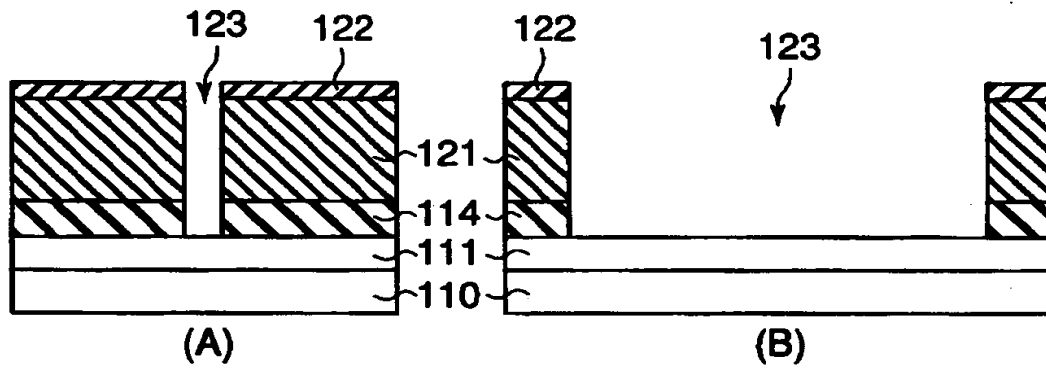
【図 3 5】



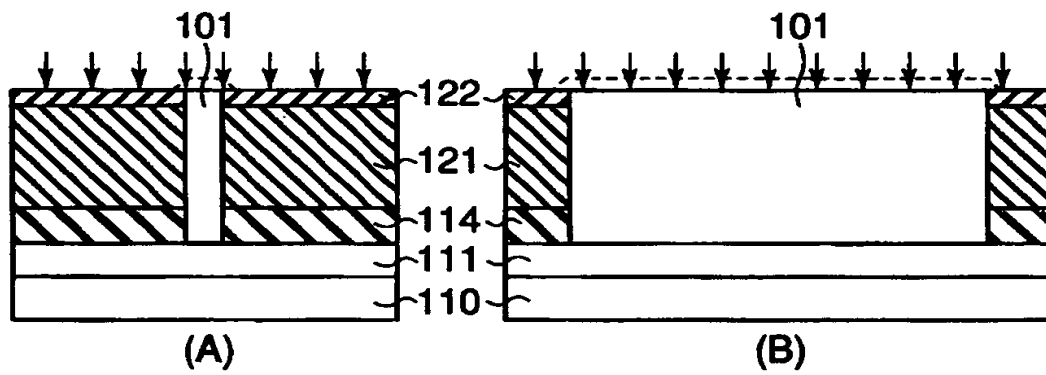
【図 36】



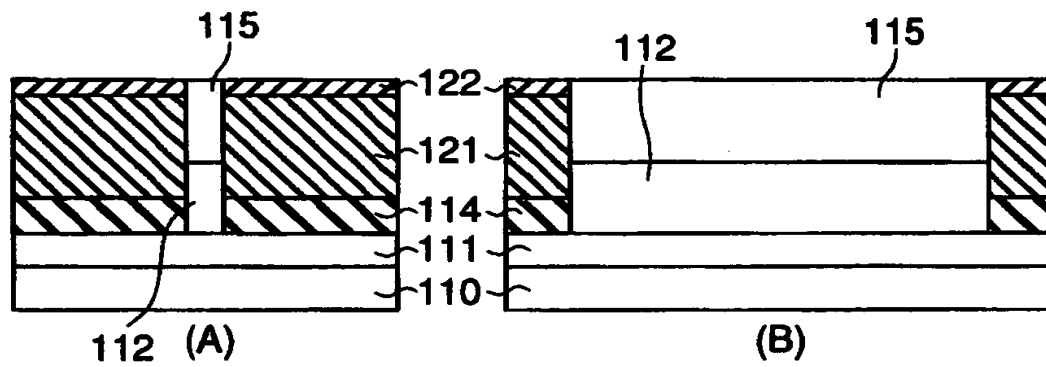
【図 37】



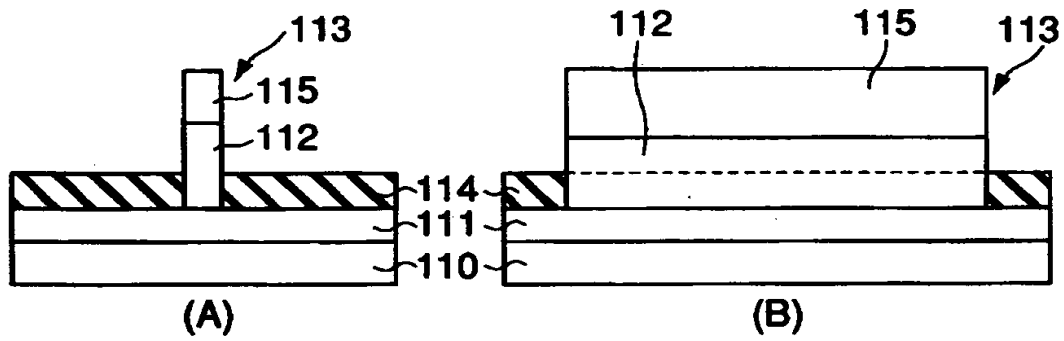
【図 38】



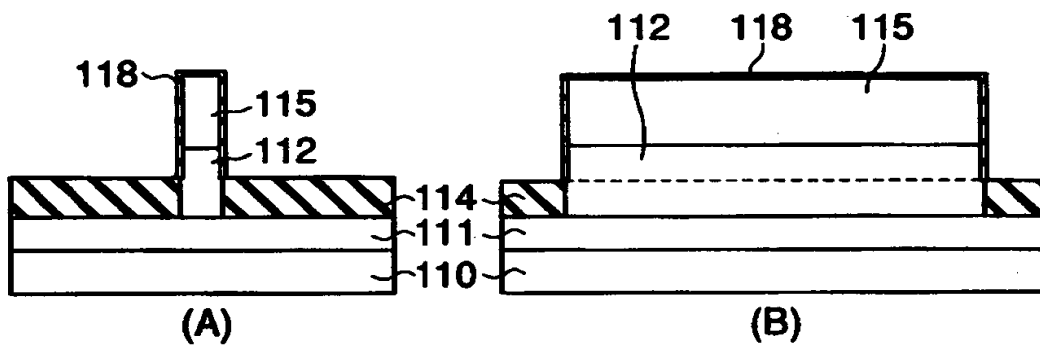
【図 39】



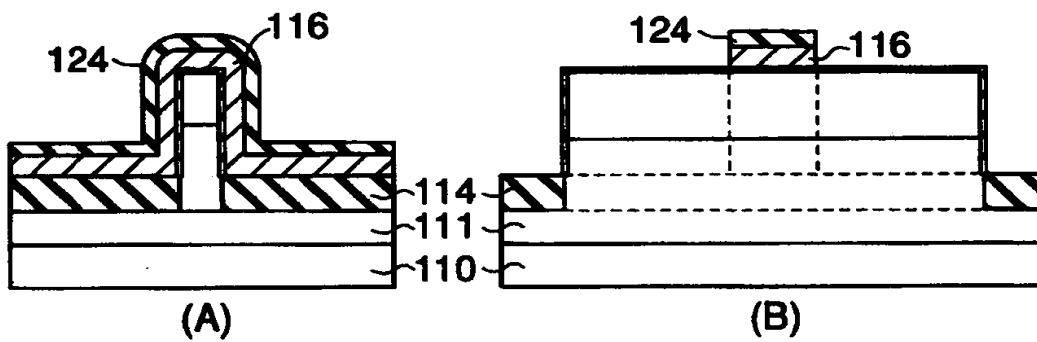
【図 4 0】



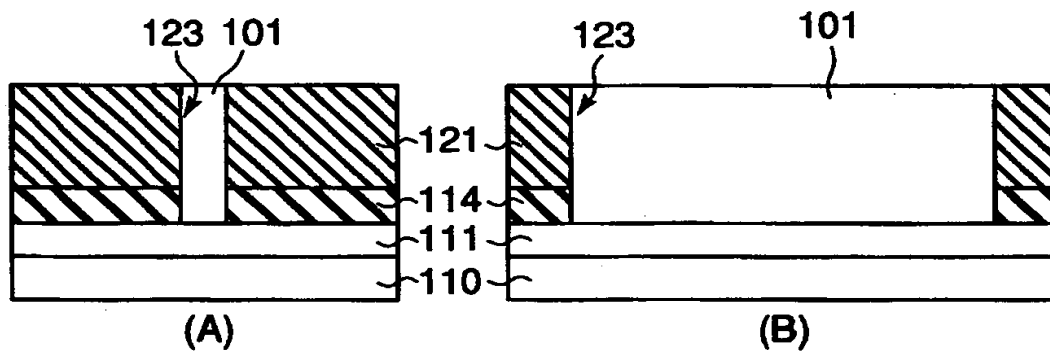
【図 4 1】



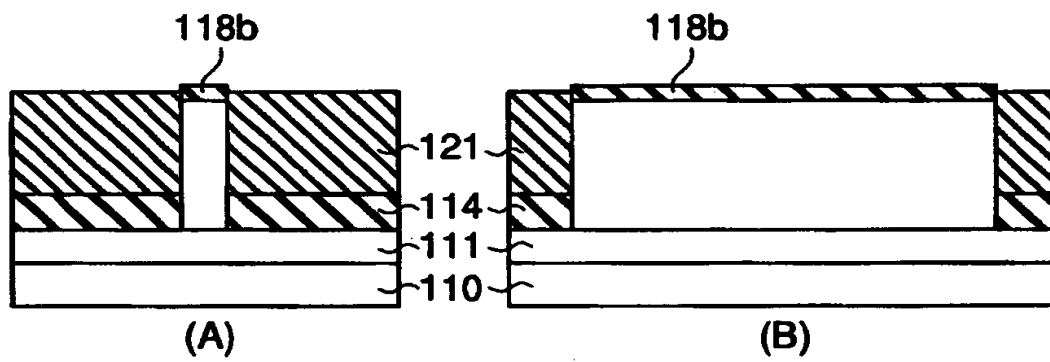
【図 4 2】



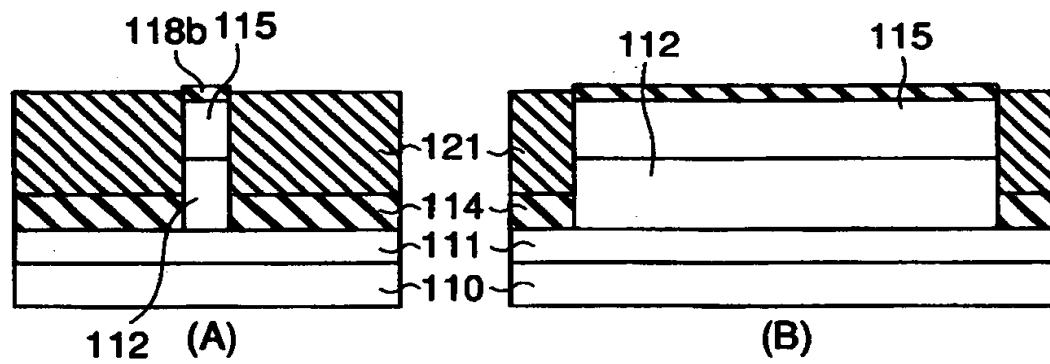
【図 4 3】



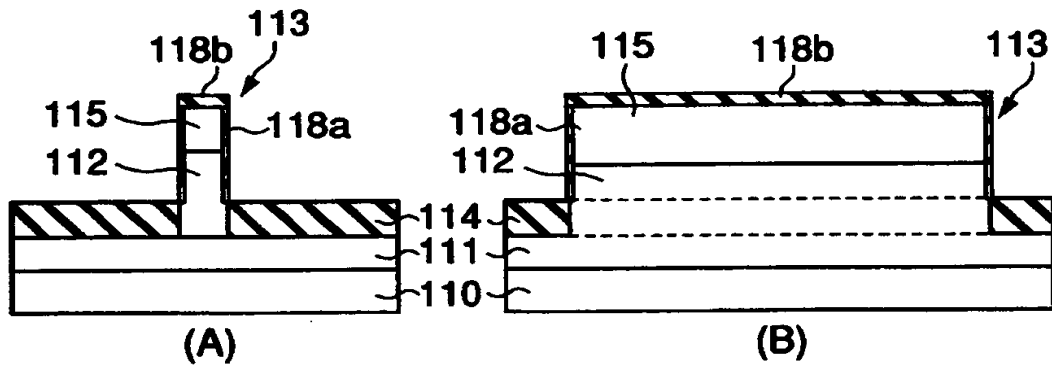
【図 4 4】



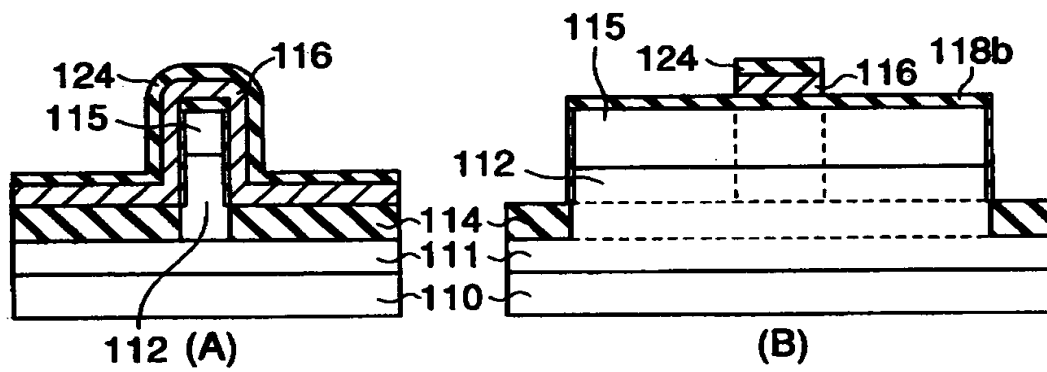
【図 4 5】



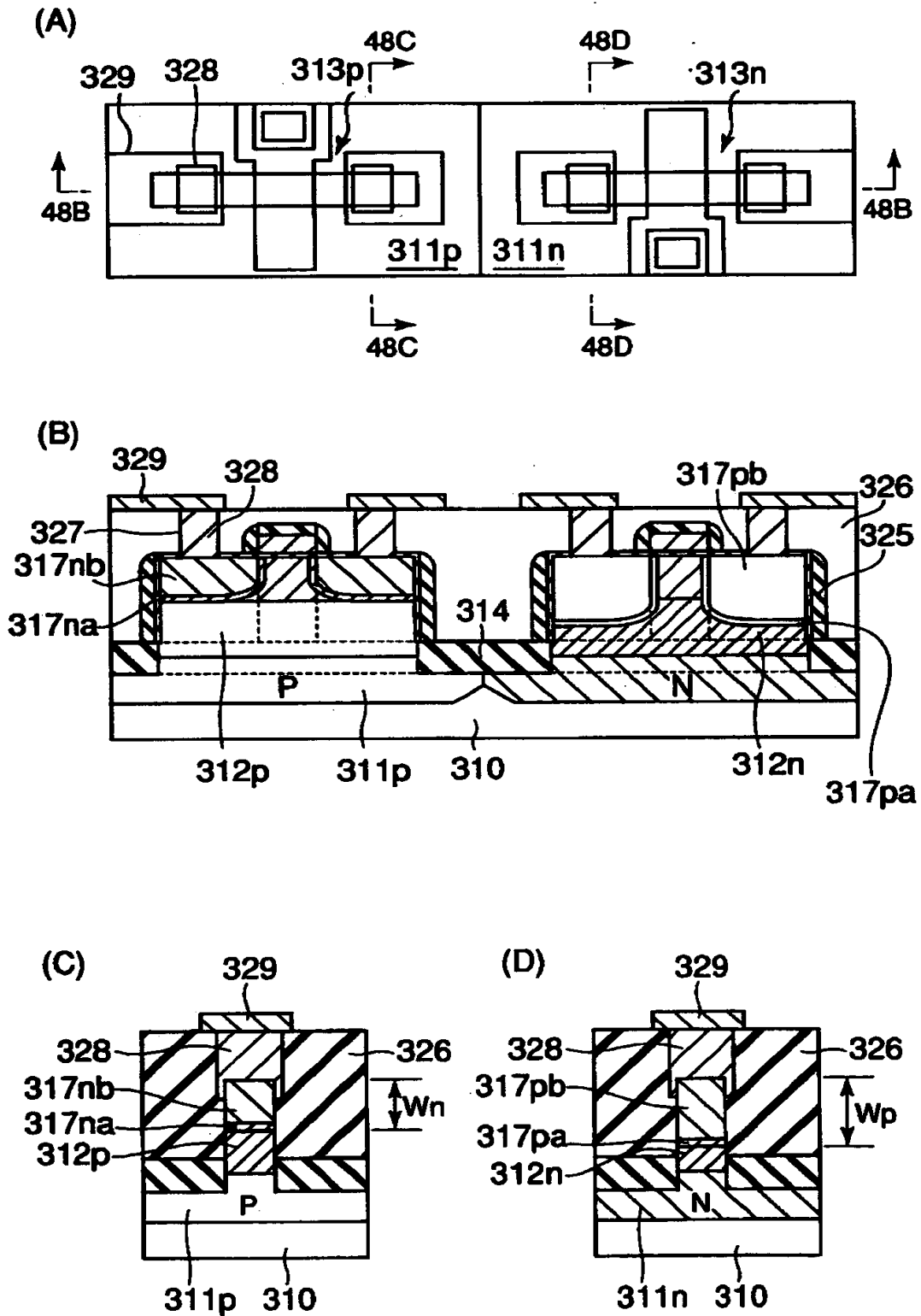
【図 4 6】



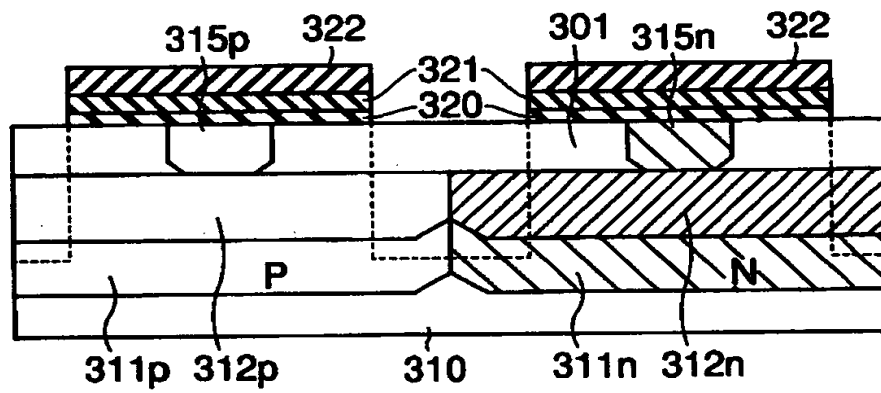
【図 4 7】



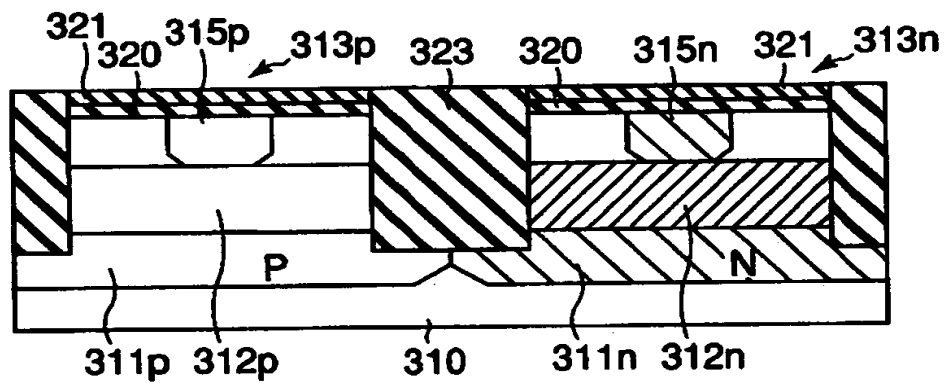
【図 48】



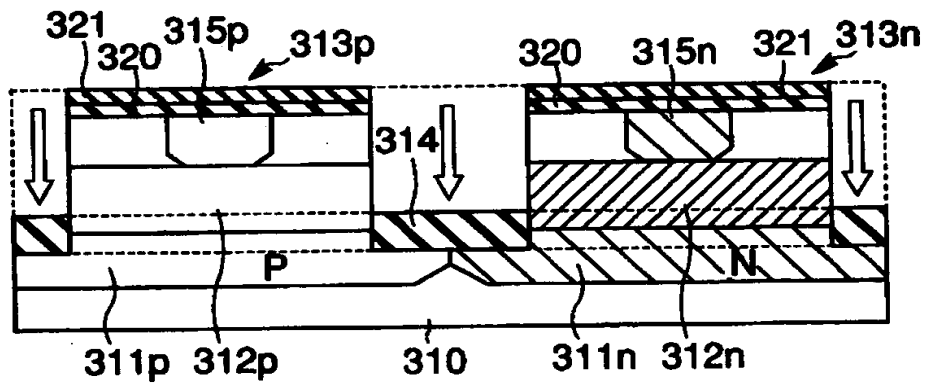
【図 49】



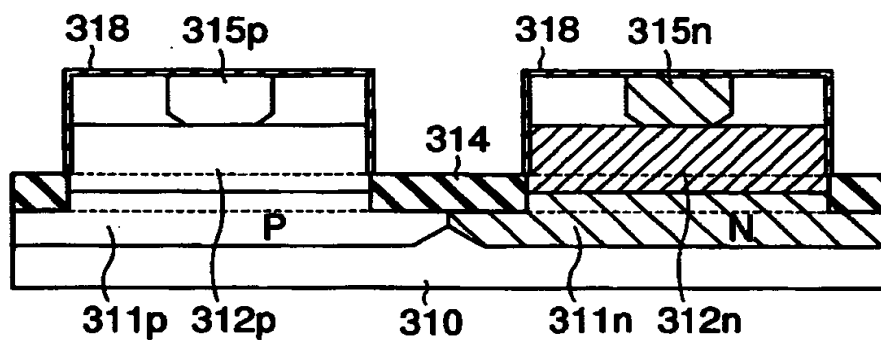
【図 50】



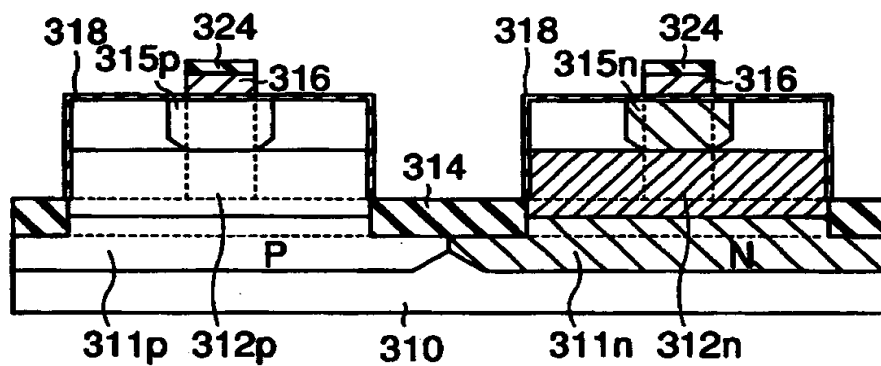
【図 51】



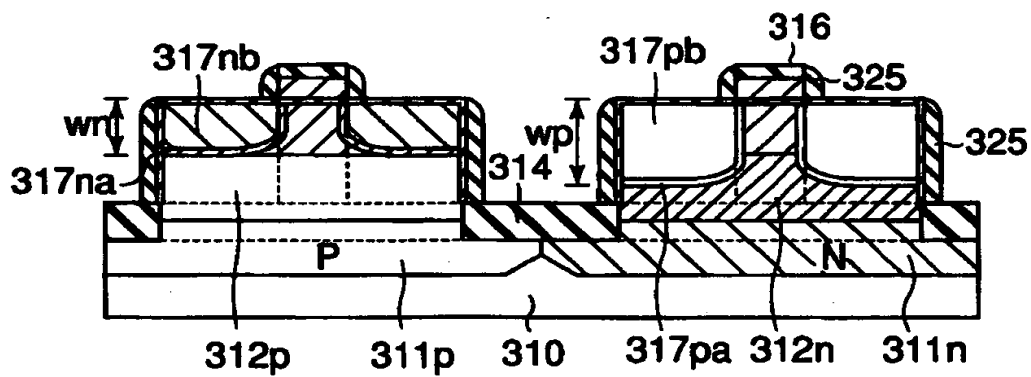
【図 5 2】



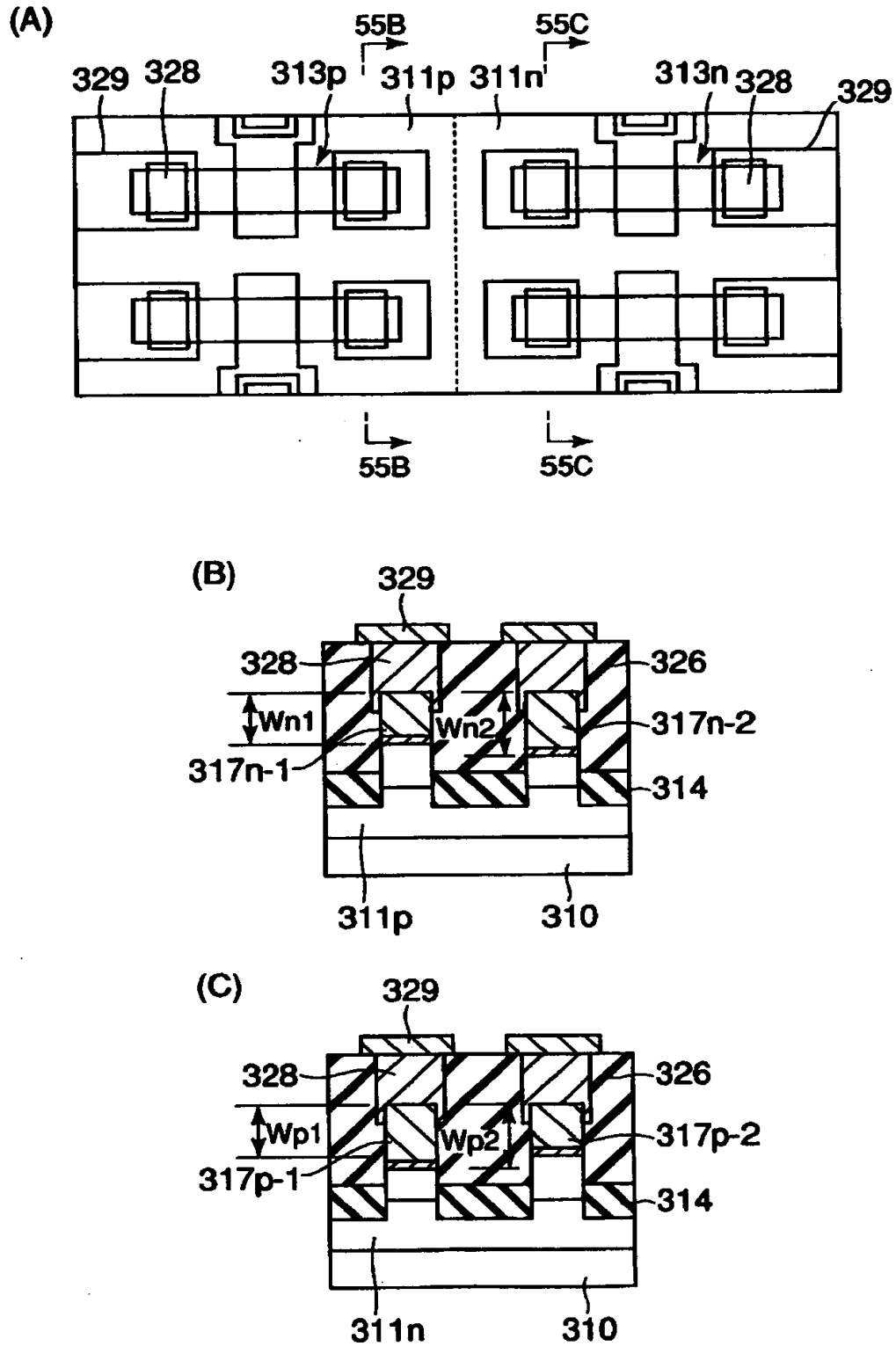
【図 5 3】



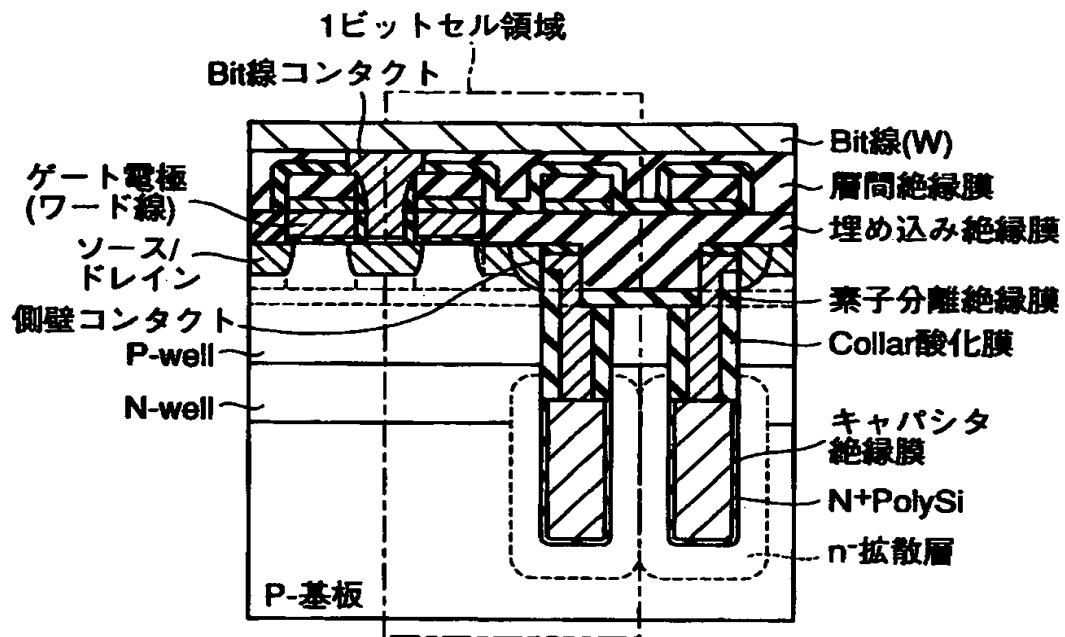
【図 5 4】



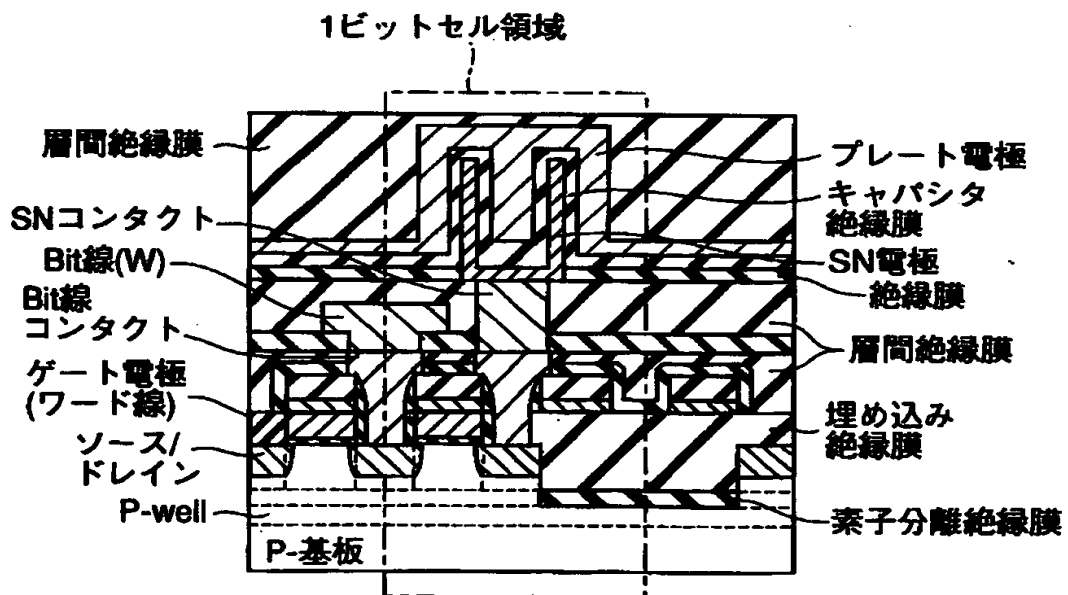
【図 5 5】



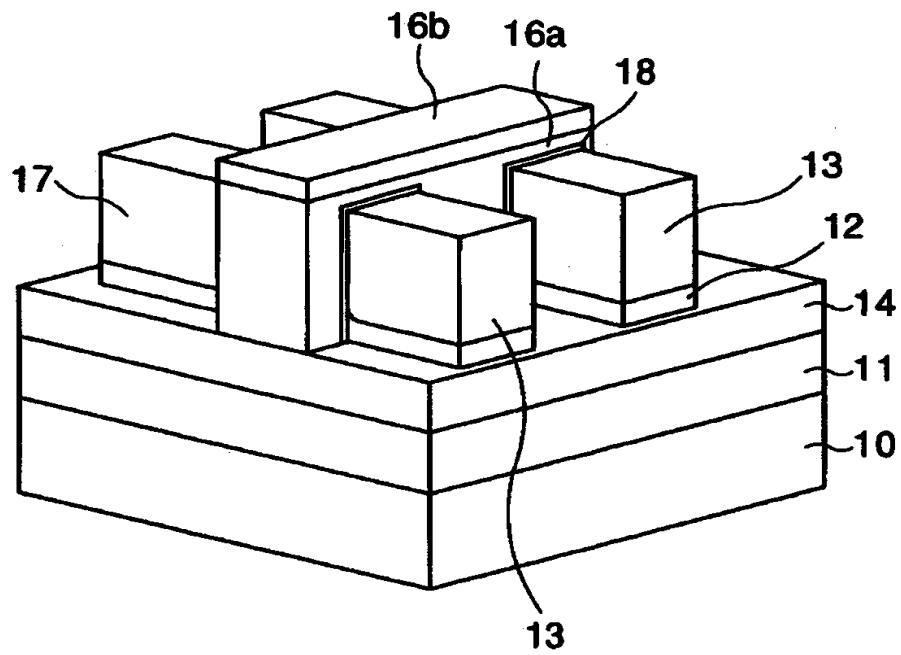
【図56】



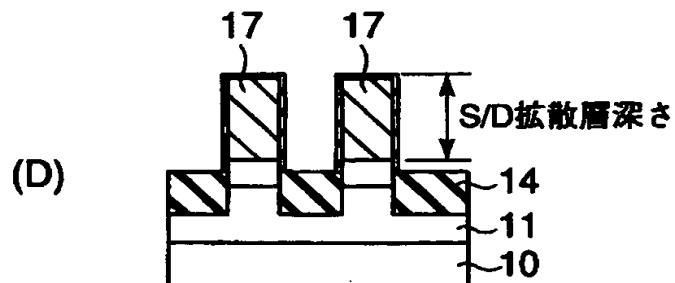
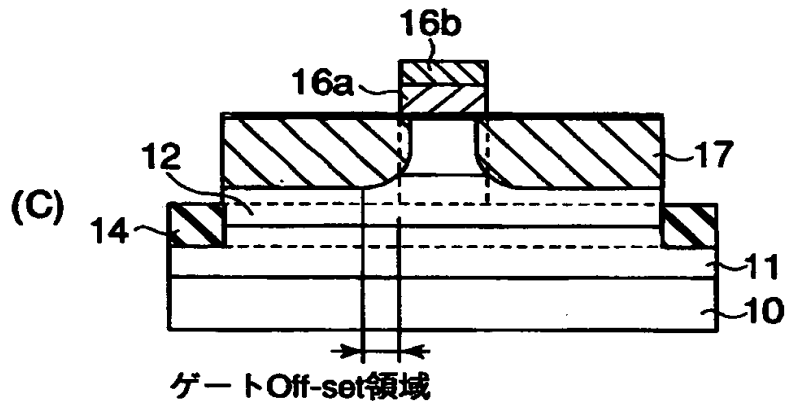
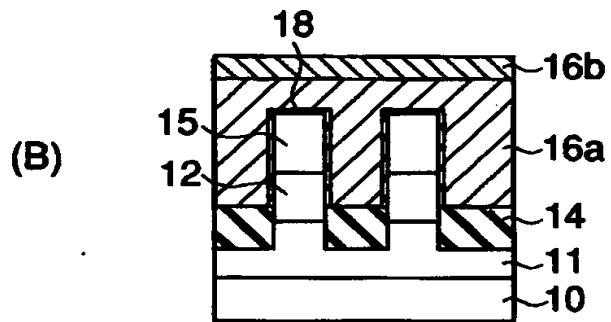
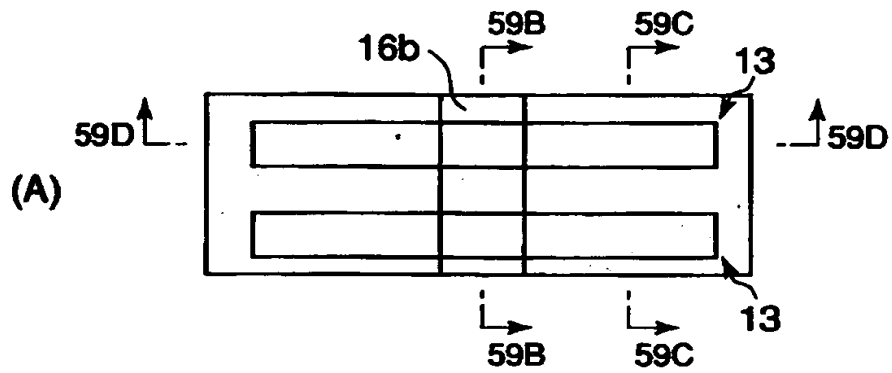
【図57】



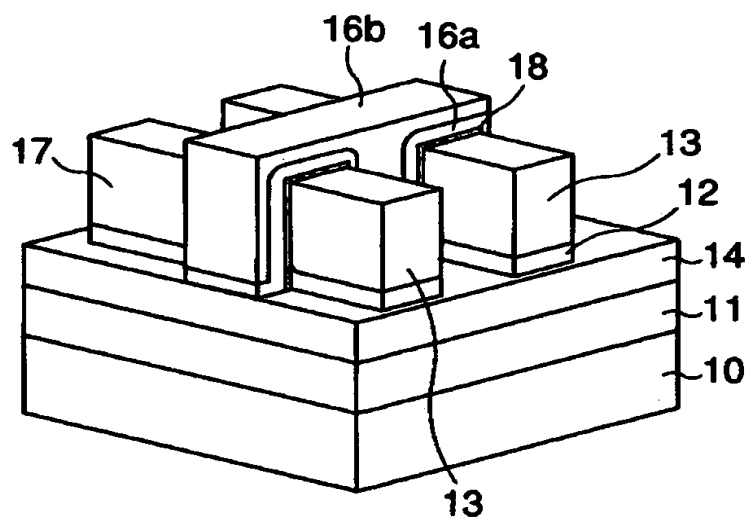
【図 5 8】



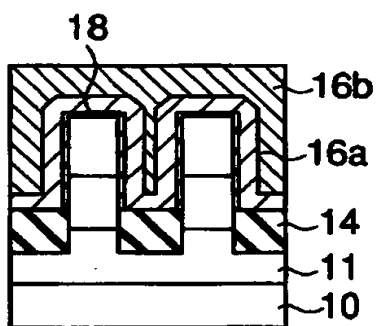
【図 5 9】



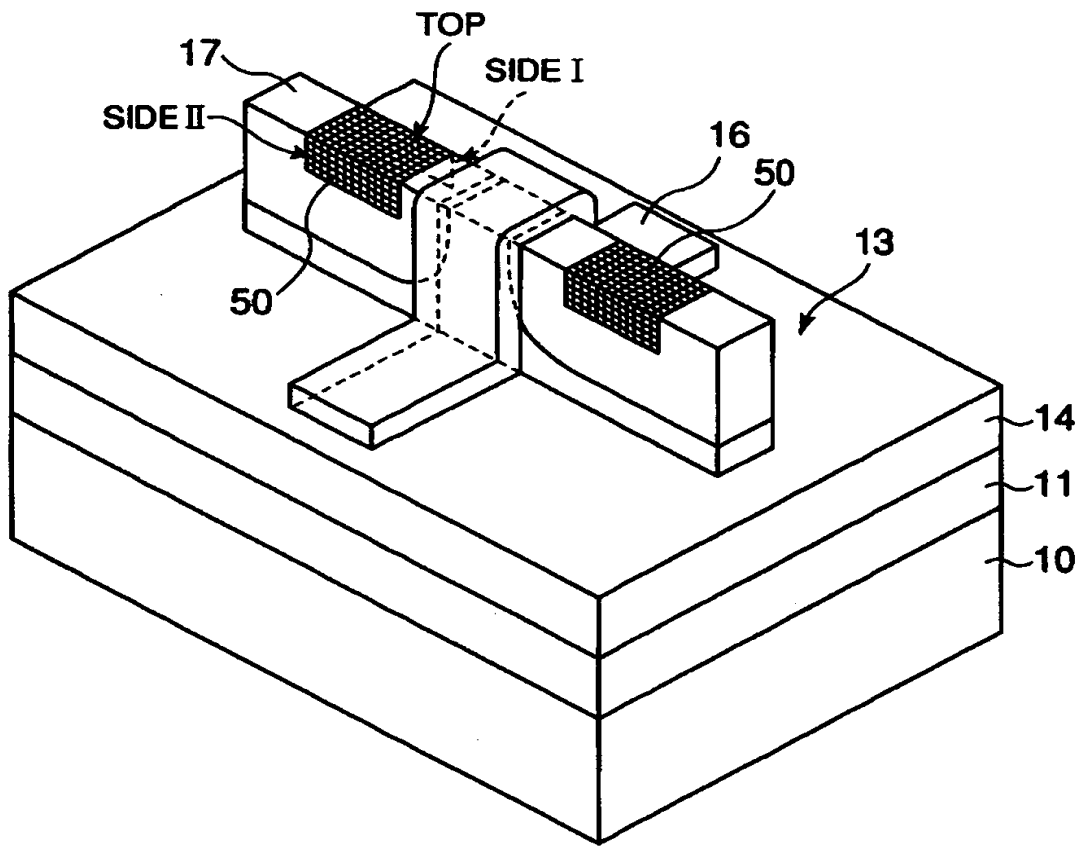
【図 6 0】



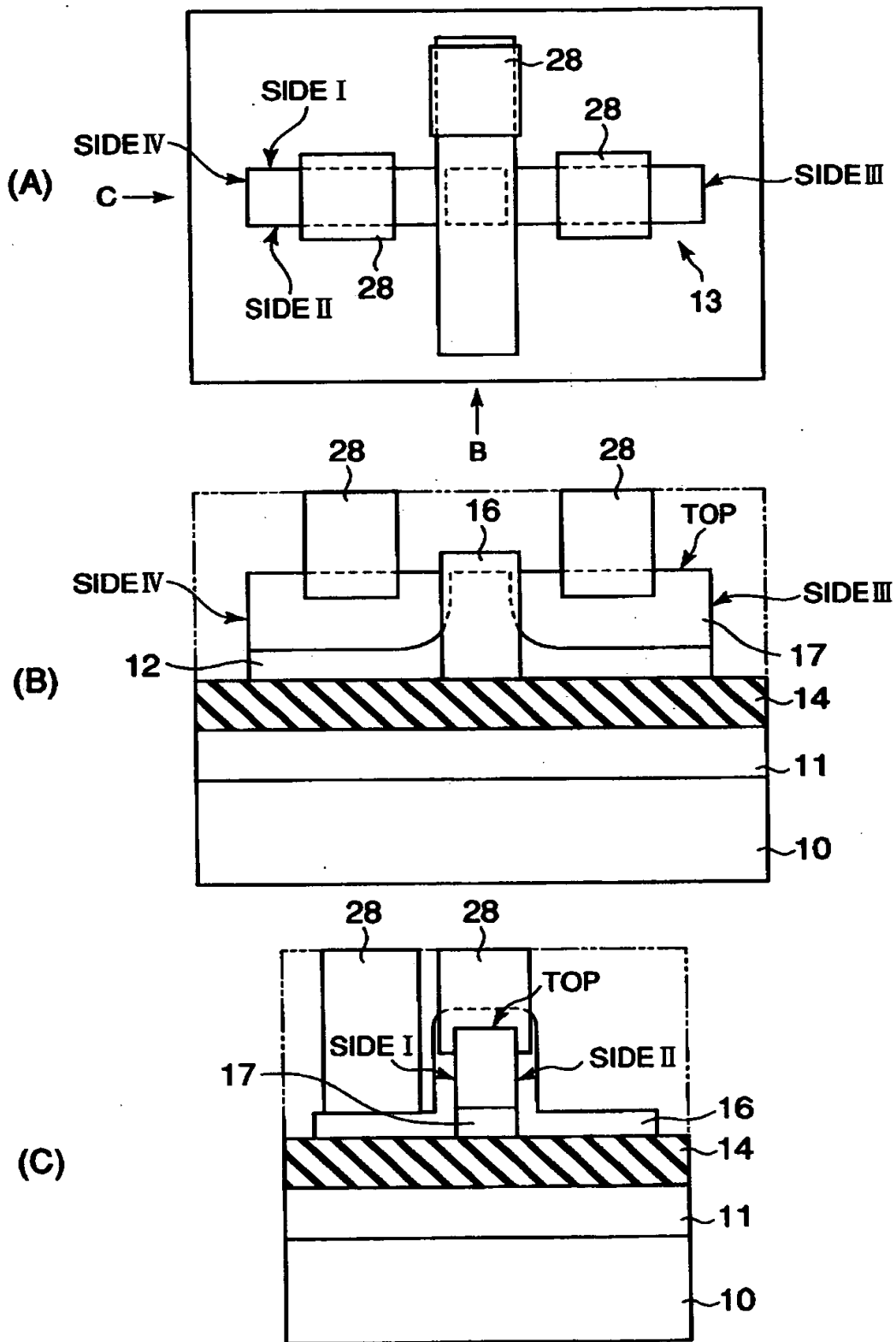
【図 6 1】



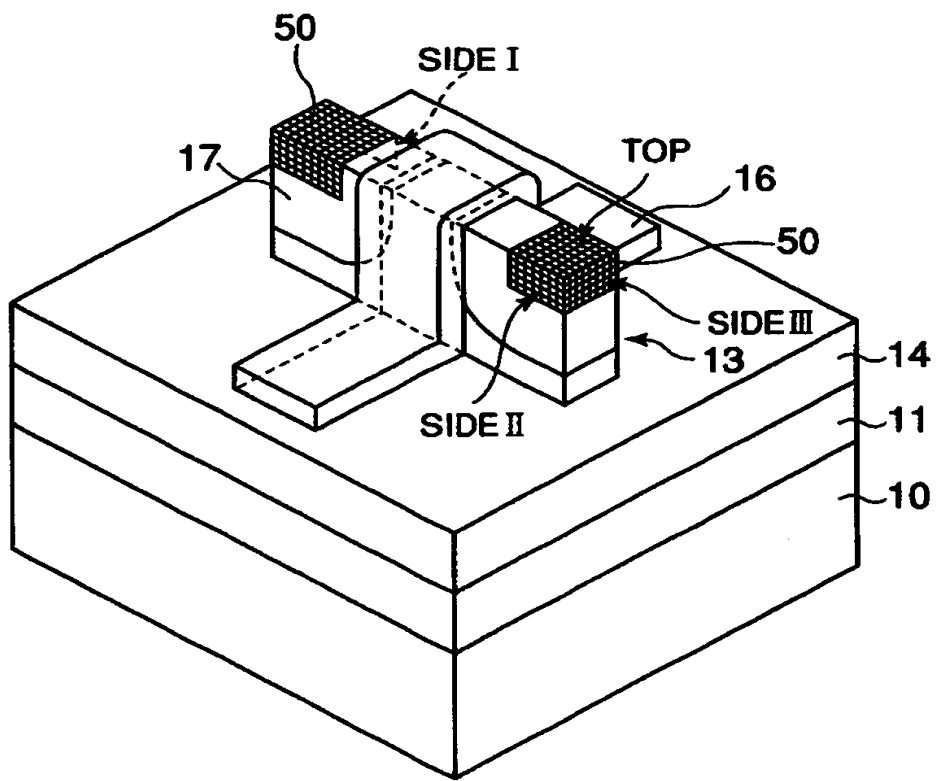
【図 6 2】



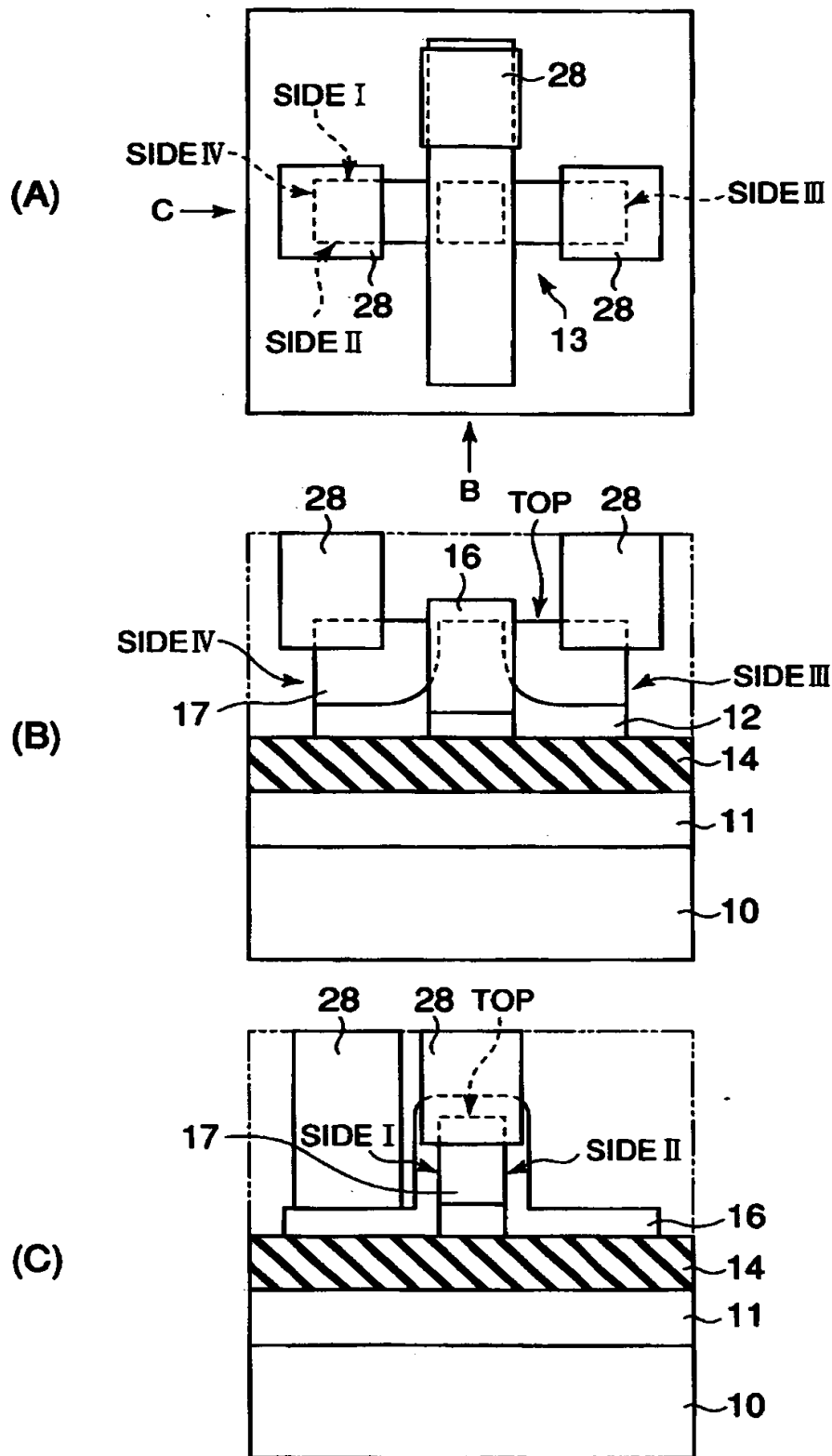
【図 6 3】



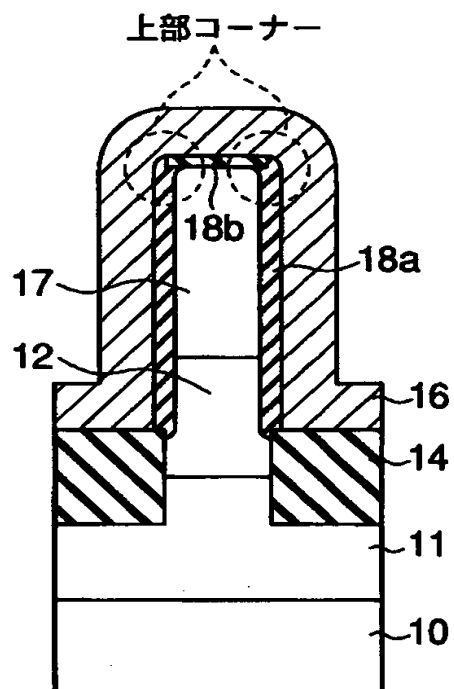
【図64】



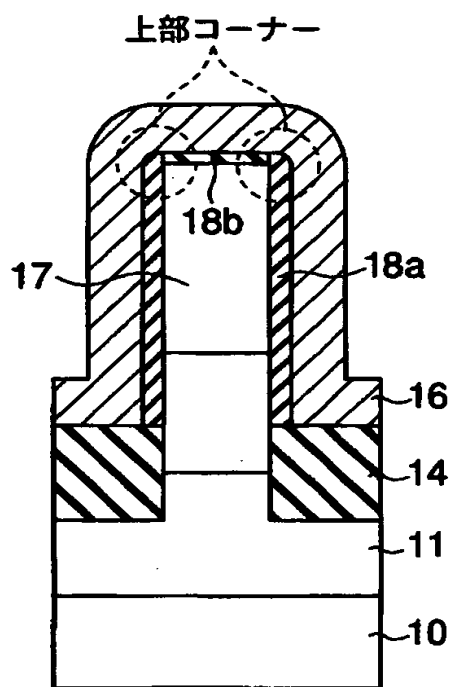
【図 65】



【図 6 6】

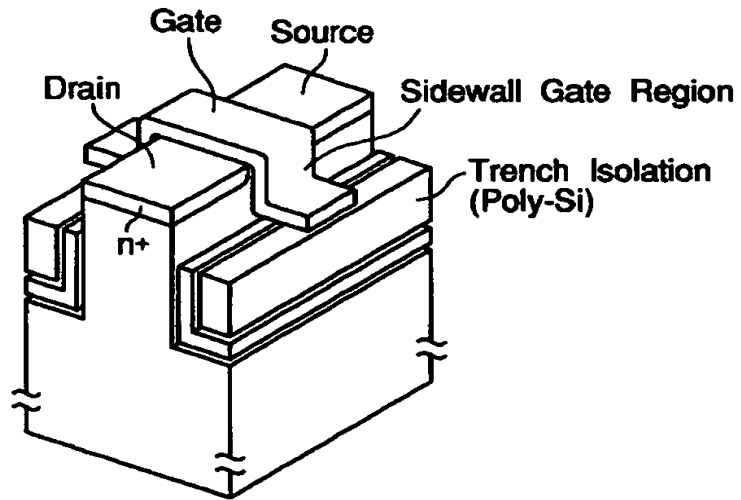


【図 6 7】



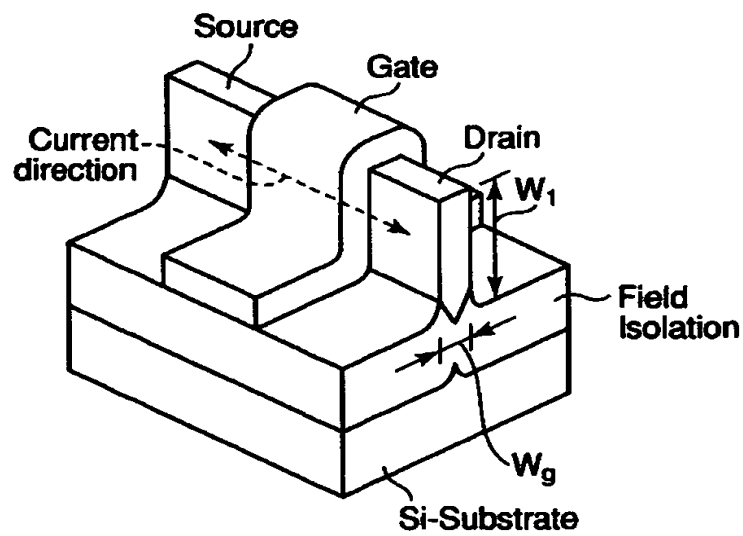
【図 6 8】

Trench Isolated (TIS) Transistor (1987 IEDM)

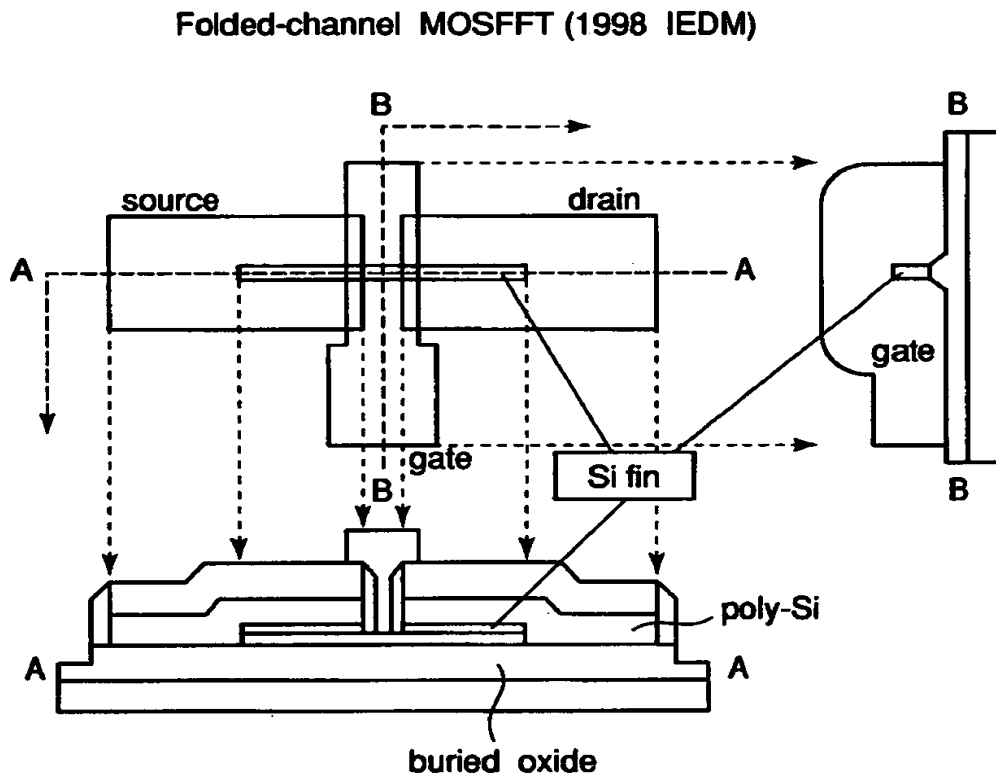


【図 6 9】

DELTA構造 (1989 IEDM)



【図 7 0】



【書類名】 要約書

【要約】

【課題】 カットオフ特性の改善を図ることが可能な構造を持つ、少なくとも凸状半導体層の側面をチャネル領域として使う半導体装置を提供すること。

【解決手段】 凸状薄膜 S i 層 13 内に形成されたソース／ドレイン領域 17 と、これらソース／ドレイン領域間の凸状薄膜 S i 層 13 内に規定されたチャネル領域 15 と、凸状薄膜 S i 層 13 の上面およびその互いに相対する 2 つの側面に沿って、凸状薄膜 S i 層 13 と絶縁された状態で形成され、少なくとも凸状薄膜 S i 層 13 の側面を介して、チャネル領域 15 に電界効果を及ぼすゲート電極 16 とを具備する。そして、凸状薄膜 S i 層 13 の側面において、ソース領域とドレイン領域との間の距離を、上部領域において短く、下部になるに従って広くする。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町72番地
氏 名	株式会社東芝